


METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP2002110679
Publication date: 2002-04-12
Inventor: NOGUCHI JUNJI; ASAKA SHOJI; KONISHI NOBUHIRO; OHASHI TADASHI; MARUYAMA HIROYUKI
Applicant: HITACHI LTD
Classification:
 - international: H01L21/3205; H01L21/304; H01L21/768; H01L21/8234; H01L27/088
 - european:
Application number: JP20000300853 20000929
Priority number(s):

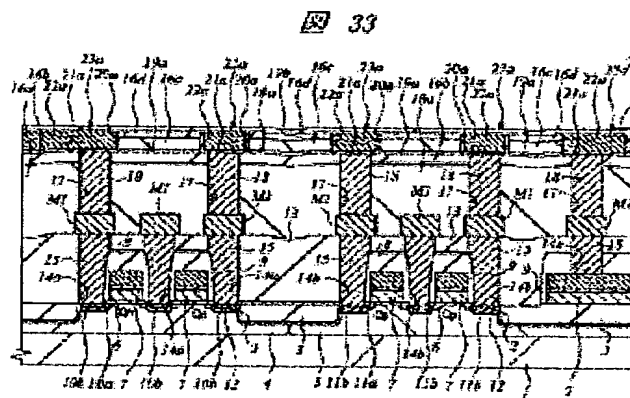
Also published as:

 US2002042193 (A)

Abstract of JP2002110679

PROBLEM TO BE SOLVED: To improve insulation breakdown resistance (reliability) of a copper wiring formed, using the Damascene method.

SOLUTION: A method for manufacturing a semiconductor integrated circuit device comprises the steps of sequentially treating it for reducing and acid cleaning by alkali cleaning, hydrogen annealing or the like in the case of cleaning after CMP. The method further comprises the steps of hydrogen plasma treating and ammonia plasma treating a semiconductor substrate 1, prior to the formation of an insulating film 19b for a cap film, after cleaning after the CMP. Thus, embedding wiring 23a containing a copper as a main component is formed on an interlayer insulating film constituted of an insulating material having a low permittivity.



(11)特許出願公開番号

特開2002-110679

(P2002-110679A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl. ⁷	識別記号	F I	ページト*(参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 2 Q 5 F 0 3 3
21/304	6 2 2		6 4 1 5 F 0 4 8
	6 4 1		6 4 5 C
	6 4 5	21/88	K
21/768		21/90	J
<div style="text-align: right;"> 審査請求 未請求 請求項の数39 O L (全 53 頁) 最終頁に続く </div>			

(21)出願番号	特願2000-300853(P2000-300853)	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成12年9月29日(2000.9.29)	(72)発明者	野口 純司 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内
		(72)発明者	浅香 昭二 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内
		(74)代理人	100080001 弁理士 筒井 大和

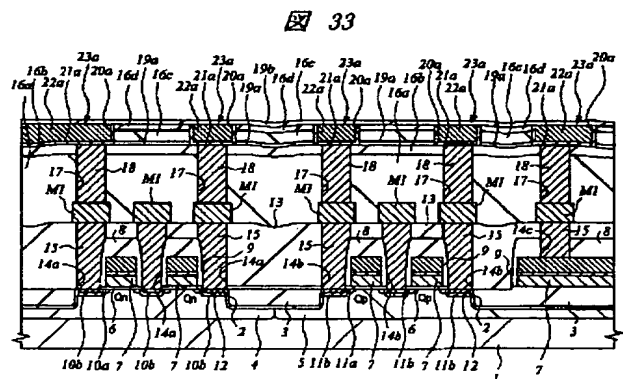
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 ダマシン法を用いて形成された銅配線の絶縁破壊耐性（信頼性）を向上する。

【解決手段】 CMP後洗浄に際して、アルカリ洗浄、水素アニール等による還元処理および酸洗浄を順に施す。また、そのCMP後洗浄後、キャップ膜用の絶縁膜19bの形成前に、半導体基板1に対して、水素プラズマ処理およびアンモニアプラズマ処理を施す。このようにして低誘電率な絶縁材料で構成される層間絶縁膜に、銅を主成分とする埋め込み配線23aを形成する。



1 : 半導体基板
16c, 16d : 絶縁膜
21a : 導電体バリア膜
22a : 主導体膜
23a : 埋め込み配線

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の第 1 の主面上に第 1 の絶縁膜を堆積する工程、(b) 前記第 1 の絶縁膜に配線開口部を形成する工程、(c) 前記配線開口部内を含む前記第 1 の絶縁膜上に、配線形成用の第 1 の導体膜および銅を主成分とする配線形成用の第 2 の導体膜を順に堆積する工程、(d) 前記配線形成用の第 1、第 2 の導体膜を研磨することにより、前記配線開口部内に配線を形成する研磨工程、(e) 前記研磨工程後の半導体基板に対して洗浄処理を施す工程、(f) 前記洗浄処理後の半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程、(g) 前記洗浄処理後の半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程、(h) 前記水素ガスプラズマおよびアンモニアガスプラズマ処理後、前記第 1 の絶縁膜および前記配線上に第 2 の絶縁膜を堆積する工程。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法において、前記洗浄処理は、アルカリ性溶液を用いた洗浄処理および酸性溶液を用いた洗浄処理を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 2 記載の半導体集積回路装置の製造方法において、前記アルカリ性溶液がアミノエタノールを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 2 記載の半導体集積回路装置の製造方法において、前記洗浄処理は、前記アルカリ性溶液を用いた洗浄処理、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 2 記載の半導体集積回路装置の製造方法において、前記研磨工程後、前記洗浄処理前に、還元性処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 2 記載の半導体集積回路装置の製造方法において、前記研磨工程後、前記酸性溶液を用いた洗浄処理の前に、還元性処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 6 記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対して水素ガス雰囲気中において熱処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 6 記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対して水素ガスプラズマ処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 6 記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対してアンモニアガスプラズマ処理を施すものであるこ

とを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項 1 記載の半導体集積回路装置の製造方法において、前記洗浄処理は、酸性溶液を用いた洗浄処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 請求項 10 記載の半導体集積回路装置の製造方法において、前記研磨工程後、前記酸性溶液を用いた洗浄処理の前に、還元性処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 請求項 1 記載の半導体集積回路装置の製造方法において、前記洗浄処理後であって、前記水素ガスプラズマおよびアンモニアガスプラズマ処理前に、前記半導体基板に対して還元性ガス雰囲気中において熱処理を施すことを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 1 記載の半導体集積回路装置の製造方法において、前記銅を主成分とする配線形成用の第 2 の導体膜をメッキ法によって堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 請求項 1 記載の半導体集積回路装置の製造方法において、前記第 1 の絶縁膜が低誘電率な絶縁膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 1 記載の半導体集積回路装置の製造方法において、前記水素ガスプラズマおよびアンモニアガスプラズマ処理後、大気開放せずに連続して、前記第 1 の絶縁膜および前記配線上に、前記第 2 の絶縁膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項 1 記載の半導体集積回路装置の製造方法において、前記第 2 の絶縁膜は、窒化シリコン膜または炭化シリコン膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 請求項 1 記載の半導体集積回路装置の製造方法において、前記研磨工程における処理は砥粒フリー化学機械研磨処理を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 18】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の第 1 の主面上に第 1 の絶縁膜を堆積する工程、(b) 前記第 1 の絶縁膜に配線開口部を形成する工程、(c) 前記配線開口部内を含む前記第 1 の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、(d) 前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する研磨工程、(e) 前記研磨工程後の半導体基板に対して洗浄処理を施す工程、(f) 前記洗浄処理後の半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程、(g) 前記洗浄処理後の半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を

施す工程、(h)前記水素ガスプラズマおよびアンモニアガスプラズマ処理後、前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程。

【請求項19】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a)半導体基板の第1の主面上に第1の絶縁膜を堆積する工程、(b)前記第1の絶縁膜に配線開口部を形成する工程、(c)前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、

(d)前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

(e)前記研磨工程後の半導体基板に対して、アルカリ性溶液を用いた洗浄処理、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、(f)前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法において、前記アルカリ性溶液がアミノエタノールを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項19記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対して水素ガス雰囲気中において熱処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項19記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対して水素ガスプラズマ処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項19記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対してアンモニアガスプラズマ処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項19記載の半導体集積回路装置の製造方法において、前記銅を主成分とする配線形成用の第2の導体膜をメッキ法によって堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項19記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜は低誘電率な絶縁膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項19記載の半導体集積回路装置の製造方法において、前記(e)工程後、前記第2の絶縁膜の形成工程前に、前記半導体基板に対してアンモニアガスプラズマ処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項19記載の半導体集積回路装置の製造方法において、前記第2の絶縁膜は、SiN膜、SiC膜またはSiOC膜からなることを特徴とする半

導体集積回路装置の製造方法。

【請求項28】 請求項19記載の半導体集積回路装置の製造方法において、前記研磨工程の処理は砥粒フリー化学機械研磨処理を有することを特徴とする半導体集積回路装置の製造方法。

【請求項29】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a)半導体基板の第1の主面上に第1の絶縁膜を堆積する工程、(b)前記第1の絶縁膜に配線開口部を形成する工程、(c)前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、

(d)前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、

(e)前記研磨工程後の半導体基板に対して、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、(f)前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程。

【請求項30】 請求項29記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対して水素ガス雰囲気中において熱処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項29記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対して水素ガスプラズマ処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項29記載の半導体集積回路装置の製造方法において、前記還元性処理は、前記半導体基板に対してアンモニアガスプラズマ処理を施すものであることを特徴とする半導体集積回路装置の製造方法。

【請求項33】 請求項29記載の半導体集積回路装置の製造方法において、前記銅を主成分とする配線形成用の導体膜をメッキ法によって堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 請求項29記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜は低誘電率な絶縁膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項35】 請求項29記載の半導体集積回路装置の製造方法において、前記(e)工程後、前記第2の絶縁膜の形成工程前に、前記半導体基板に対してアンモニアガスプラズマ処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項36】 請求項29記載の半導体集積回路装置の製造方法において、前記第2の絶縁膜は、SiN膜、SiC膜またはSiOC膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項37】 請求項29記載の半導体集積回路装置の製造方法において、前記研磨工程の処理は砥粒フリー

化学機械研磨処理を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 38】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の第 1 の主面上に第 1 の絶縁膜を堆積する工程、(b) 前記第 1 の絶縁膜に配線開口部を形成する工程、(c) 前記配線開口部内を含む前記第 1 の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、(d) 前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、(e) 前記研磨工程後の半導体基板に対して、アルカリ性溶液を用いた洗浄処理、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、(f) 前記第 1 の絶縁膜および前記配線の上に第 2 の絶縁膜を堆積する工程。

【請求項 39】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板の第 1 の主面上に第 1 の絶縁膜を堆積する工程、(b) 前記第 1 の絶縁膜に配線開口部を形成する工程、(c) 前記配線開口部内を含む前記第 1 の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、(d) 前記銅を主成分とする配線形成用の導体膜を研磨することにより、前記配線開口部内に配線を形成する工程、(e) 前記研磨工程後の半導体基板に対して、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、(f) 前記第 1 の絶縁膜および前記配線の上に第 2 の絶縁膜を堆積する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、銅を主導電層とする埋め込み配線を有する半導体集積回路装置の製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置または電子装置等においては、配線形成技術として、絶縁膜上に、例えばアルミニウムまたはタングステン等のような導体膜を堆積した後、これを通常の写真リソグラフィ技術およびドライエッチング技術によってパターンニングすることで配線を形成する技術が確立されている。

【0003】しかし、上記配線形成技術においては、上記半導体集積回路装置等を構成する素子や配線の微細化に伴い、配線抵抗の増大が顕著となり、配線遅延が生じる結果、半導体集積回路装置等の性能をさらに向上させる上で限界が生じつつある。そこで、近年は、例えばダマシン(Damascene)と呼ばれる配線形成技術が検討されている。このダマシン法は、シングルダマシン(Single-Damascene)法とデュアルダマシン(Dual-Damascene)法とに大別できる。

【0004】シングルダマシン法は、例えば絶縁膜に配

線溝を形成した後、その絶縁膜上および配線溝内に配線形成用の主導電層を堆積し、さらに、その主導電層を、例えば化学的機械的研磨法(CMP; Chemical Mechanical Polishing)によって配線溝内のみに残されるように研磨することにより、配線溝内に埋め込み配線を形成する方法である。

【0005】また、デュアルダマシン法は、絶縁膜に配線溝および下層配線との接続を行うための孔を形成した後、その絶縁膜上、配線溝および孔内に配線形成用の主導電層を堆積し、さらに、その主導電層をCMP等によって配線溝および孔内のみに残されるように研磨することにより、配線溝および孔内に埋め込み配線を形成する方法である。

【0006】いずれの方法においても、配線の主導電層材料としては、半導体集積回路装置の性能を向上させる観点等から、例えば銅等のような低抵抗な材料が使用される。銅はアルミニウムよりも低抵抗で信頼性における許容電流が2桁以上大きいという利点を持ち、同じ配線抵抗を得るのに膜を薄くすることができるので、隣接する配線間の容量も低減できる。

【0007】しかし、銅は、例えばアルミニウムやタングステン等のような他の金属と比較して絶縁膜中に拡散され易いとされている。このため、銅を配線材料として用いる場合、銅からなる主導電層の表面(底面および側面)、すなわち、配線溝の内壁面(側面および底面)に、銅の拡散を防止するための薄い導電性バリア膜を形成する必要があるとされている。また、配線溝が形成された絶縁膜の表面上の全面に、上記埋め込み配線の上面を覆うように、例えば窒化シリコン膜等からなるキャップ膜を堆積することにより、埋め込み配線中の銅が、埋め込み配線の上面から絶縁膜中に拡散するのを防止する技術がある。

【0008】

【発明が解決しようとする課題】ところが、本発明者らの検討結果によれば、上記銅を主導電層とする埋め込み配線技術においては、以下の課題があることを見出した。

【0009】第1に、銅を配線材料に用いた場合、TDDDB(Time Dependence on Dielectric Breakdown)寿命が、他の金属材料(例えばアルミニウムやタングステン)に比べて著しく短いという問題が存在する。その上、配線ピッチの微細化が進み、実効電界強度が増加する傾向にあることに加え、近年は配線容量を低減する観点等から酸化シリコンよりも誘電率の低い絶縁材料を配線間の絶縁膜として使用する方向にあるが誘電率の低い絶縁膜は一般的に絶縁耐圧も低いことから、TDDDB寿命の確保が益々困難になる状況にある。

【0010】なお、TDDDB試験とは、配線間の絶縁破壊強度を評価する加速試験方法の一種であり、通常使用環境より高い所定の温度での高電界下における絶縁破壊

時間から、通常使用環境における絶縁破壊時間（寿命）を推定する試験方法である。TDDB寿命は、このTDDB試験から推定される寿命である。TDDB寿命については後述する。

【0011】第2に、銅を主導電層とする埋め込み配線上のキャップ膜として窒化シリコン膜を用いると、キャップ膜の形成時に銅と窒化シリコン膜との界面にシリサイド物や酸化銅が形成され、その埋め込み配線の抵抗が増大する問題がある。このシリサイド物や酸化銅は、後述するように銅の拡散の主要な原因の1つであることが本発明者らの実験によって初めて見出されている。

【0012】第3に、埋め込み配線の配線層と、その上層に形成された絶縁膜（例えば上記キャップ膜）との間に剥離が生ずる問題がある。

【0013】第4に、埋め込み配線を形成するためのCMP処理後の洗浄処理（以下、CMP後洗浄ともいう）により配線抵抗が増大する問題がある。この問題は、埋め込み配線をメッキ法によって形成する場合に特に顕著となることが見出された。

【0014】また、本発明者らは、本発明の結果に基づき、銅を主導電層とする埋め込み配線およびCMP後洗浄の観点で公知例を調査した。銅を主導電層とする埋め込み配線技術については、例えば特開平11-330246号公報に記載があり、ここには、誘電体層に形成された相互接続開口内に銅相互接続部を形成した後、銅バリア層を形成し、さらにアンモニアのみをソースガスとして用いたプラズマ処理を施すことで、銅相互接続部と銅バリア層との密着性を向上させる技術が開示されている。また、例えば特開平11-16912号公報には、接続孔の底部から露出する配線部分に形成された酸化層を、還元性の雰囲気中において、熱、プラズマまたは紫外線照射処理を施すことにより、消失させる技術が開示されている。

【0015】また、CMP後洗浄技術については、例えば株式会社プレスジャーナル、平成10年9月20日発行、「月刊セミコンダクタワールド 1998年10月号」P62～P72に記載がある。

【0016】本発明の目的は、銅を主導電層とする配線間の絶縁破壊耐性を向上させることのできる技術を提供することにある。

【0017】また、本発明の目的は、銅を主導電層とする配線の抵抗の増大を防止することのできる技術を提供することにある。

【0018】また、本発明の目的は、銅を主導電層とする配線の配線とキャップ膜との密着性を向上させることのできる技術を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】すなわち、本発明は、半導体基板上の第1の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後であって、その第1の絶縁膜および配線上に第2の絶縁膜を堆積する前に、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程および前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有するものである。

【0022】また、本発明は、半導体基板上の第1の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後であって、その第1の絶縁膜および配線上に第2の絶縁膜を堆積する前に、前記半導体基板に対して水素ガス雰囲気中において熱処理を施す工程、アンモニアガス雰囲気中においてプラズマ処理を施す工程および水素ガス雰囲気中においてプラズマ処理を施す工程を有するものである。

【0023】また、本発明は、半導体基板上の第1の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後、前記半導体基板に対して、アルカリ性溶液を用いた洗浄処理、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程を有するものである。

【0024】また、本発明は、半導体基板上の第1の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後、前記半導体基板に対して、アルカリ性溶液を用いた洗浄処理、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程、前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程、前記第1の絶縁膜および前記配線上に第2の絶縁膜を堆積する工程を有するものである。

【0025】

【発明の実施の形態】本願発明の実施の形態を説明するにあたり、本願における用語の基本的な意味を説明すると次の通りである。

【0026】1. TDDB (Time Dependence on Dielectric Breakdown) 寿命とは、所定の温度（たとえば140℃）の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度（たとえば0.2MV/cm）に外挿して求めた時間（寿命）をいう。図1は、本願のTDDB寿命測定に使用した試料を示し、(a)は平面図、(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は実際には半導体ウ

エハ（以下、単にウエハという）のTEG（Test Equipment Group）領域に形成できる。図示するように一対の櫛形配線Lを第2配線層M2に形成し、最上層のパッドP1、P2に各々接続する。この櫛形配線L間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。櫛形配線Lの配線幅、配線間隔、配線厚さは何れも $0.5\mu\text{m}$ である。また配線対向長は $1.58\times 10^5\mu\text{m}$ とした。図2は、測定の概要を示した概念図である。試料は測定ステージSに保持され、パッドP1、P2間に電流電圧測定器（I/V測定器）を接続する。試料ステージSはヒータHで加熱され試料温度が 140°C に調整される。図3は電流電圧測定結果の一例である。試料温度 140°C 、電界強度 $5\text{MV}/\text{cm}$ の場合を例示した。TDD B寿命測定には定電圧ストレス法と低電流ストレス法とがあるが、本願では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後急激な電流増加（絶縁破壊）が観測される。ここでは、リーク電流密度が $1\mu\text{A}/\text{cm}^2$ に達した時間をTDD B寿命（ $5\text{MV}/\text{cm}$ におけるTDD B寿命）とした。なお、本願において、TDD B寿命とは、特に言及しない限り $0.2\text{MV}/\text{cm}$ における破壊時間（寿命）をいうが、広義には所定の電界強度に言及したうえで破壊までの時間としてTDD B寿命の語を用いる場合もある。また、特に言及しない限り、TDD B寿命は、試料温度 140°C の場合をいう。なお、TDD B寿命は前記の櫛形配線Lで測定した場合をいうが、実際の配線間の破壊寿命を反映することはいうまでもない。

【0027】2. プラズマ処理とは、プラズマ状態にある環境に基板表面、あるいは、基板上に絶縁膜、金属膜等の部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的（ボンバードメント）作用を表面に与えて処理することをいう。一般にプラズマは特定のガス（処理ガス）に置換した反応室内に必要な応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガスで置換することはできない。よって、本願では、たとえばアンモニアプラズマと称しても、完全なアンモニアプラズマを意図するものではなく、そのプラズマ内に含まれる不純物ガス（窒素、酸素、二酸化炭素、水蒸気等）の存在を排除するものではない。同様に、言うまでもないことであるが、プラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。

【0028】還元性雰囲気中のプラズマとは、還元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいい、ラジカル、イオンには、原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれていても良い。たとえば水素ラジカルと NH_2 ラジカル

とが同時に存在する環境でもよい。

【0029】3. 本願で例えば銅からなると表現した場合、主成分として銅が用いられていることを意図する。すなわち、一般に高純度な銅であっても、不純物が含まれることは当然であり、添加物や不純物も銅からなる部材に含まれることを排除するものではない。本願において高純度の銅からなると表現した場合には、一般的な高純度材料（例えば4N（99.99%））程度またはそれ以上の純度の銅で構成されることを意図し、0.01%程度の任意の不純物が含まれることを前提にする。これは銅に限らず、その他の金属（窒化チタン等）でも同様である。

【0030】4. 本願でガスの濃度という場合には、質量流量における流量比を言うものとする。すなわち、ガスAとガスBとの混合ガスにおいて、ガスAの濃度が5%という時には、ガスAの質量流量を F_a 、ガスBの質量流量を F_b として、 $F_a/(F_a+F_b)=0.05$ のことをいう。

【0031】5. 化学機械研磨（CMP：Chemical Mechanical Polish）とは、一般に被研磨面を相対的に軟らかい布様のシート材料などからなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことをいい、本願においてはその他、被研磨面を硬質の砥石面に対して相対移動させることによって研磨を行うCML（Chemical Mechanical Lapping）、その他の固定砥粒を使用するもの、及び砥粒を使用しない砥粒フリーCMPなども含むものとする。

【0032】6. 砥粒フリー化学機械研磨は、一般に砥粒の重量濃度が0.5%重量未満のスラリを用いた化学機械研磨をいい、有砥粒化学機械研磨とは、砥粒の重量濃度が0.5%重量よりも高濃度のスラリを用いた化学機械研磨をいう。しかし、これらは相対的なものであり、第1ステップの研磨が砥粒フリー化学機械研磨で、それに続く第2ステップの研磨が有砥粒化学機械研磨である場合、第1ステップの研磨濃度が第2ステップの研磨濃度よりも1桁以上、望ましくは2桁以上小さい場合などには、この第1ステップの研磨を砥粒フリー化学機械研磨という場合もある。本明細書中において、砥粒フリー化学機械研磨と言うときは、対象とする金属膜の単位平坦化プロセス全体を砥粒フリー化学機械研磨で行う場合の他、主要プロセスを砥粒フリー化学機械研磨で行い、副次的なプロセスを有砥粒化学機械研磨で行う場合も含むものとする。

【0033】7. 研磨液（スラリ）とは、一般に化学エッチング薬剤に研磨砥粒を混合した懸濁液をいい、本願においては発明の性質上、研磨砥粒が混合されていないものを含むものとする。

【0034】8. 砥粒（スラリ粒子）とは、一般にスラリに含まれるアルミナ、シリカなどの粉末をいう。

【0035】9. 防食剤とは、金属の表面に耐食性、疎

水性あるいはその両方の性質を有する保護膜を形成することによって、CMPによる研磨の進行を阻止または抑制する薬剤をいい、一般にベンゾトリアゾール(BTA)などが使用される(詳しくは特開平8-64594号公報参照)。

【0036】10. 導電性バリア膜とは、一般に銅が層間絶縁膜内や下層へ拡散するのを防止するために、埋め込み配線の側面または底面に比較的薄く形成される拡散バリア性の導電膜であり、一般に、窒化チタン(TiN)、タンタル(Ta)、窒化タンタル(TaN)等のような高融点金属またはその窒化物等が使用される。

【0037】11. 埋め込み配線または埋め込み金属配線とは、一般にシングルダマシン(single damascene)やデュアルダマシン(dual damascene)などのように、絶縁膜に形成された溝や孔などの内部に導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によってパターンニングされた配線をいう。また、一般に、シングルダマシンとは、プラグメタルと、配線用メタルとの2段階に分けて埋め込む、埋め込み配線プロセスを言う。同様にデュアルダマシンとは、一般にプラグメタルと、配線用メタルとを一度に埋め込む、埋め込み配線プロセスを言う。一般に、銅埋め込み配線を多層構成で使用されることが多い。

【0038】12. 選択的除去、選択的研磨、選択的エッチング、選択的機械研磨というときは、いずれも選択比が5以上のものをいう。

【0039】13. 選択比について、「AのBに対する」(または「Bに対するAの」)選択比がXというときは、研磨レートを例にとった場合、Bに対する研磨レートを基準にしてAに対する研磨レートを計算したときにXになることをいう。

【0040】14. 本願において半導体集積回路装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI(Silicon On Insulator)基板やTFET(Thin Film Transistor)液晶製造用基板などといった他の基板上に作られるものを含むものとする。また、ウエハとは半導体集積回路装置の製造に用いる単結晶シリコン基板(一般にほぼ円盤形)、SOS(Silicon On Sapphire)基板、ガラス基板その他の絶縁、半絶縁または半導体基板などやそれらを複合した基板をいう。

【0041】15. ウエハ(半導体集積回路基板または半導体基板)とは、半導体集積回路の製造に用いるシリコンその他の半導体単結晶基板(一般にほぼ平面円形状)、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。なお、基板表面の一部または全部あるいはゲート電極の全部または一部を他の半導体、例えばSiGe等で形成しても良い。

【0042】16. 半導体集積回路チップ(半導体集積

回路基板)または半導体チップ(半導体基板)とは、ウエハ工程が完了したウエハを単位回路群に分割したものを言う。

【0043】17. シリコンナイトライド、窒化ケイ素または窒化シリコン膜というときは、 Si_3N_4 のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0044】18. キャップ膜は、埋め込み配線の上方の電氣的接続部以外に形成される絶縁性および拡散バリア性の高い絶縁膜で、一般に層間絶縁膜の主要部とは別の材料、例えば窒化シリコン膜で形成される。

【0045】19. ウエハプロセスとは、前工程とも呼ばれ、鏡面研磨ウエハ(ミラーウエハ)の状態から出発し、素子および配線形成工程を経て、表面保護膜を形成し、最終的にプローブにより電氣的試験を行える状態にするまでの工程をいう。

【0046】20. ロングスロースパッタリング(Long Throw Sputtering)法とは、ボトムカバレッジ向上の一方法であって、スパッタリング粒子の垂直成分だけを基板に到達させるため、ターゲットと基板との間の距離を離し、低圧で安定放電させるスパッタリング法を言う。

【0047】21. コリメートスパッタリング法は、アスペクト比の大きな配線溝、コンタクトホールまたはスルーホール等のような配線開口部に成膜する際、底部まで充分な膜厚が得られるように、ターゲットと基板との間に格子状の板を挿入し、強制的に垂直成分を高める機構を有するスパッタリング法を言う。

【0048】22. 導電性バリア膜の配線開口部(配線溝、コンタクトホールまたはスルーホール等)内におけるカバレッジは、サイドカバレッジと、ボトムカバレッジとを有している。図4は、絶縁膜60の上面およびその絶縁膜60に形成された配線溝61内に、バリア膜62をスパッタリング法で堆積した状態を模式的に示している。バリア膜のデポ膜厚という時は、一般的に絶縁膜60の上面上のバリア膜62の膜厚D1を言う。サイドカバレッジは、配線溝61内の側壁部(側面と底面との交差部における角部も含む)におけるバリア膜62の被覆性をいい、その部分での膜厚D2が最も膜厚が薄くなる。また、ボトムカバレッジは、配線溝61内の底面におけるバリア膜62の被覆性をいい、その部分での膜厚D3は上記デポ膜厚の次に厚くなる。例えば本発明者らの実験結果によれば、例えばアスペクト比が1の配線溝内に、バリア膜を指向性を特に考慮しない通常のスパッタリング法で堆積した場合においては、バリア膜のデポ膜厚が100nmで、サイドカバレッジが30nm程度、ボトムカバレッジが50nm程度であった。また、バリア膜をロングスロースパッタリング法により堆積した場合においては、バリア膜のデポ膜厚が100nmで、サイドカバレッジが20nm程度、ボトムカバレー

ジが90nm程度であった。

【0049】23. 低誘電率な絶縁膜、絶縁材料とは、パッシベーション膜として形成される保護膜に含まれる酸化シリコン膜（たとえばTEOS（Tetraethoxysilane）酸化膜）の誘電率よりも低い誘電率を有する絶縁膜と定義できる。一般的には、TEOS酸化膜の誘電率 $\epsilon = 4.1 \sim 4.2$ 程度以下を低誘電率な絶縁膜と言う。

【0050】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0051】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0052】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0053】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0054】また、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0055】また、本実施の形態においては、電界効果トランジスタを代表するMISFET（Metal Insulator Semiconductor Field Effect Transistor）を単にMISと略し、pチャネル型のMISFETをpMISと略し、nチャネル型のMISFETをnMISと略す。

【0056】（実施の形態1）まず、本発明者らが検討したCMP後洗浄技術の課題とその解決手段について説明する。

【0057】本発明者らが検討したCMP後洗浄技術は、CMP処理後の半導体基板に対して、アルカリ洗浄および酸洗浄を順に施すというものである。アルカリ洗浄は、CMP処理時のスラリ等の異物を除去する目的を有している。アルカリ洗浄では、例えばアンモニア（ NH_4OH ）等を含む洗浄液を用いた。また、酸洗浄は、TDDB特性の向上や残留金属除去の目的を有している。酸洗浄では、例えばフッ酸（ HF ）等を含む洗浄液を用いた。

【0058】図5（a）、（b）は、配線寸法の異なる埋め込み配線に対して、上記洗浄処理を施した場合の埋

め込み配線65a、65bの断面図の一例を示している。埋め込み配線65a、65bは、絶縁膜66に形成された配線溝67内に埋め込まれた状態で形成されており、いずれも銅（Cu）を主成分とする導体膜を主導体膜として構成されている。

【0059】図5に示すように、本発明者らの実験結果によれば、上記洗浄処理、特に酸洗浄に際して銅のエッチング作用が大きく、図5（a）に例示する埋め込み配線65aの寸法でほとんど無視できた配線の削れが、図5（b）に例示する埋め込み配線65bの寸法のように微細化されるにつれて、特に孤立埋め込み配線パターンにおいて配線抵抗の増加、変動や段差部の発生等の問題が見出された。

【0060】また、上記CMP後洗浄では、図6に示すように、密な埋め込み配線65群のエッジ部で、腐食のような外観不良（以下、エッチコロージョン）ECが見出された。これは、疎な埋め込み配線または孤立埋め込み配線でも生じる。また、本発明者らの検討結果によれば、上記の種々の問題は、特に埋め込み配線がメッキ法によって形成される場合に特に顕著となることが見出された。上記エッチコロージョンが生じる理由は、メッキ法で形成された埋め込み配線は、スパッタリング法で形成された埋め込み配線に比べて腐食し易いことに加え、密な埋め込み配線のエッジ部、疎な埋め込み配線または孤立埋め込み配線においてCMP処理時にパッドの摩擦が集中し、脆い酸化膜（ CuO ）の形成を促進したり、CMP後洗浄時に用いる薬液の非線形拡散により当該埋め込み配線の溶解が進むためと考えられる。エッチコロージョンの発生は、配線抵抗の増加や変動を招く。

【0061】そこで、本実施の形態では、CMP後であってCMP後洗浄の前に、またはアルカリ洗浄後であって酸洗浄前に、還元処理を行う。これによれば、CMPにより酸化された銅表面を還元することができるので、洗浄液に対する銅配線全体の耐性を向上させることができる。このため、上銅配線上部の段差の発生や上記エッチコロージョンを抑制または防止できる。したがって、銅を主成分とする埋め込み配線の配線抵抗の増加や変動を抑制または防止することが可能となる。

【0062】次に、TDDB寿命の劣化の課題とその解決手段について説明する。

【0063】前記したように、銅を配線材料に用いた場合は、TDDB寿命が、他の金属材料（たとえばアルミニウム、タングステン）よりも著しく短くなることが一般的に知られている。図7は、銅配線、アルミニウム配線、タングステン配線のTDDB特性を測定したデータを示すグラフである。縦軸にTDDB寿命を横軸に電界強度を割り当てている。アルミニウム配線の特性（データA）およびタングステン配線の特性（データB）を外挿すると、電界強度が0.2MV/cm（通常使用状態）におけるTDDB寿命は、本発明者らの開発目標で

ある $3 \times 10^8 \text{ sec}$ (10年) を優に越える。一方、銅配線の特長 (データC) を外挿すると、10年の開発目標に対してほとんどマージンのない状態であることがわかる。

【0064】この試験において、アルミニウム配線は、被膜の堆積とフォトリソグラフィを用いたパターンニングにより形成しているが、タングステン配線は、銅配線と同様にダマシン法を用いて形成している。すなわち、銅配線とタングステン配線の相違は材料のみであり、構造上の相違はない。それにもかかわらずTDDDB特性の顕著な相違があることは、配線材料の相違に起因することが示唆される。なお、ここでのTDDDB特性は 140°C の温度下で行ったデータを示している。

【0065】このようなTDDDB寿命の劣化原因は、配線材料に適用された銅が周辺に拡散し、これが配線間の絶縁耐圧を低下させると一般には考えられている。しかし、本発明者らが銅の拡散現象について改めて実験を行い検討した結果、次のような銅の拡散現象についてのメカニズムを初めて見出した。

【0066】すなわち、配線中の銅は原子状の銅よりも、酸化銅あるいは銅シリサイドから供給されるイオン化銅が配線間の電位でドリフトし拡散する要因が支配的である。また、銅の拡散経路は銅配線が形成された絶縁膜とキャップ膜との界面が支配的である。すなわち、銅配線の表面に酸化銅あるいは銅シリサイドが形成され、これら銅の化合物から銅イオンが形成され、イオン化された銅が配線形成用絶縁膜とキャップ膜との界面に沿って配線間電界によりドリフトして拡散し、この拡散した銅原子がリーク電流を増加させる原因になる。そして、そのリーク電流の増加は熱ストレスを増加させ、最終的にリークパスで絶縁破壊が生じてTDDDB寿命に至る。そこで、本発明者らは、CMPで埋め込み配線を形成した後、キャップ膜を形成する前に、半導体基板に対してアンモニア (NH_3) プラズマ処理等のような還元処理を施すことにより、TDDDB寿命を大幅に改善させることができた。これについては本願発明者らによる特願平11-226876号または特願2000-104015号に記載がある。なお、この特願平11-226876号または特願2000-104015号で得られた結果について説明すると、次のとおりである。

【0067】図8は、第2層配線と同層に形成されたTEGサンプルのTDDDB寿命を示すグラフであり、当該アンモニアプラズマ処理を行った場合のデータをラインAに示す。比較のためにアンモニアプラズマ処理をしない場合のTDDDB寿命データ (ラインRef) も示す。図から明らかな通り、当該アンモニアプラズマ処理を行った場合は、比較データと比べて約6桁の寿命向上が見られる。

【0068】図9は、埋め込み配線用の配線溝を形成した酸化シリコン膜をそれよりも緻密で強固な窒化シリコ

ン膜に置き換えた場合のデータ (ラインB) を示す。絶縁膜を窒化シリコンに置き換えた場合であってもアンモニアプラズマ処理を施さなければ絶縁膜を酸化シリコン膜とした場合と何ら相違はない (ラインRef)。一方、窒化シリコン膜を絶縁膜に適用し、アンモニアプラズマ処理を施せば、さらにTDDDB寿命が向上する。しかし、その向上の割合は小さく、アンモニアプラズマ処理を行うことによる要因の方が支配的であることがわかる。これは、TDDDB寿命を支配する要因は絶縁膜のバルクよりは、その界面が支配的であることを示している。

【0069】ここで、本発明者らは、アンモニアプラズマ処理によりTDDDB寿命が向上する機構を解析するために銅と酸化シリコン膜の表面分析を行った。以下に解析の結果等を説明する。

【0070】図10～図12は、銅配線表面のXPS (X-ray Photo-electron Spectroscopy) 分析の結果を示したグラフである。各図の (a)、(c) はCu 2pの分光結果を示し、(b)、(d) はN 1sの分光結果を示す。

【0071】図10 (a)、(b) はアズデポ状態の銅膜表面を分析した結果である。Cu 2pのピークが観察され、N 1sのピークはノイズレベルであることから、アズデポ状態の銅膜には窒素は存在しないことがわかる。図10 (c)、(d) は、銅膜にCMPのみを施した直後の銅配線表面を分析した結果である。Cu 2pのピークとともにN 1sのピークが観察される。スラリにはベンゾトリアゾール (BTA) が含まれる場合があるため、銅表面に残留したBTA内の窒素を観察しているものと推察できる。図11 (a)、(b) は、CMP後に後洗浄まで行った状態の銅配線表面を分析した結果である。Cu 2pピークに変化は見られないが、N 1sピークが低下している。洗浄によりBTAが除去されたと考えられる。図11 (c)、(d) は、後洗浄後大気雰囲気中に24時間放置した状態の銅配線表面を分析した結果である。Cu 2pのピークとともに酸化銅 (CuO) のピークが観察される。N 1sピークには放置による変化は見られない。放置により銅表面が酸化され、酸化銅が生成していることがわかる。

【0072】このように酸化された銅配線にアンモニアプラズマ処理を施した状態の銅配線表面を分析した結果が図12 (a)、(b) である。酸化銅のピークはほぼ消失している。一方、N 1sピークは強く生じている。銅表面が還元されて酸素が引き抜かれているとともに表面が窒化されていると考えられる。比較のため、酸化された銅配線に 350°C の水素熱処理を施した状態の銅配線表面を分析した。結果は図12 (c)、(d) である。Cu 2pピークについて、図12 (c) と図12 (a) とを比較すれば、よりアズデポ状態 (図10 (a)) に近いことから、水素熱処理の方が還元性は強

いと考えられる。一方、N1sピークはほとんど観察されないことから、水素熱処理では銅表面が還元されるのみである。

【0073】以上の結果から、アンモニアプラズマ処理により銅配線の表面は還元されるとともに窒化層が形成されてことがわかる。この窒化層は、アンモニアプラズマ処理の後に窒化シリコン膜を堆積する際の原料ガスに含まれるシランと銅との反応を防止し、銅のシリサイドの形成を抑制する働きを有すると考えられる。シリサイド形成の防止は配線抵抗の増加を抑制する効果がある。

【0074】図13は、酸化シリコン膜表面のXPS分析を行った結果を示すグラフであり、図14および図15は、酸化シリコン膜の質量分析(TDS-APIMS)を行った結果を示すグラフである。酸化シリコン膜の分析においては、CMP後に洗浄まで行った状態(プロファイルC)、CMP後洗浄後に水素プラズマ処理を行った状態(プロファイルD)、CMP後洗浄後にアンモニアプラズマ処理を行った状態(プロファイルE)、CMP後洗浄後に窒素プラズマ処理を行った状態(プロファイルF)について分析した。なお、プロファイルCの1eV程度の高エネルギー方向へのずれはチャージアップの影響によるものである。

【0075】図13(a)、(b)はともにSi2pスペクトルを観察したデータであり、(a)は10nm程度の深さを、(b)は2nm程度の深さを分析したものである。図13(c)、(d)、(e)は各々N1s、O1s、C1sスペクトルを観察したデータである。図13(b)から、水素プラズマ処理(プロファイルD)の低エネルギー側(102eV付近)にブロードなピークが見られる。これはSi-H結合が存在すると考えられ、水素プラズマ処理により酸化シリコン膜表面にSi-Hが形成されると推察される。図13(a)から、アンモニアプラズマ処理(プロファイルE)と窒素プラズマ処理(プロファイルF)の105eVのピークが低エネルギー側に広がった非対称なピークになっている。非対称部分のピーク(103.5eV)はSi-O-N結合と考えられる。アンモニアプラズマ処理および窒素プラズマ処理により酸化シリコン膜の表面が窒化されていると推察される。また、図13(a)と(b)との比較から、窒化は表面でより強くされていると考えられる。アンモニアプラズマ処理および窒素プラズマ処理による窒化は、図13(c)でも確認できる。図13(e)から、水素プラズマ処理(プロファイルD)では炭素はほとんど検出されない。水素プラズマ処理により表面の有機物が除去されていることがわかる。また、CMP後(プロファイルC)の289eVのピークはC-O結合と考えられる。CMP後ではスラリが残留していると考えられる。図13(f)は、SiピークとNピークとからそれらの存在比を求め、N量を推定した値を示す。アンモニアプラズマ処理と窒素プラズマ処理とではほぼ同等の

窒化がなされていると考える。

【0076】図14(a)、(b)、(c)、(d)は各々質量数41(Ar-H)、質量数27(C2H3)、質量数57(C4H9)、質量数59(C3H7O)を測定したグラフである。また、図15(a)、(b)、(c)、(d)は各々質量数28(Si、C2H4)、質量数44(SiO、C3H6)、質量数29(SiH、C2H5)、質量数31(SiH3)を測定したグラフである。

【0077】図14(a)から、プラズマ処理による水素の脱離量の相違はほとんどないが、水素プラズマ処理(プロファイルD)の脱離温度が他の場合(560℃)と比較して520℃と低いことがわかる。図14(a)、(b)、(c)から、各プロセスとも有機物の脱離が見られる。

【0078】一方、図15(a)~(d)から、有機物の脱離以外のピークの存在が見られる。すなわち、300~400℃のピークは各々、Si、SiO、SiH、SiH3と思われる。各図を比較すると、水素、アンモニア、窒素の各プラズマ処理で、SiOの脱離は見られるが、アンモニアプラズマ処理ではSiH、SiH3の脱離はほとんど観察されない。すなわち、アンモニアプラズマ処理ではSi-O-Nが形成され、比較的低いエネルギーで容易に脱離する。また、脱離に必要なエネルギーは窒素プラズマ処理の場合が最も高く、水素プラズマ処理とアンモニアプラズマ処理とではほぼ同じと言える。

【0079】これらの結果から、酸化シリコン膜表面のダングリングボンドの原因となるSi-OHやSi-O-は、アンモニアプラズマ処理により、弱い結合のSi-O-Nで終端され则认为られる。アンモニアプラズマ処理の後の窒化シリコン膜の成膜において、ごく表面のSi-O-Nが脱離し、バルクのSi-O結合と窒化シリコン膜のSi-Nとが強固に結合し、連続的な界面を形成する。これが界面の密着性を向上する機構と考えられる。一方、アンモニアプラズマ処理を行わない場合には、そもそもSi-OH結合の多い酸化シリコン膜の表面と窒化シリコン膜の原料ガスであるアンモニアとが縮合反応し、ダングリングボンドの原因であるSi-O-結合が多数発生していると考えられる。酸化シリコン膜と窒化シリコン膜との界面に多数のダングリングボンドが存在すれば、そこはリークパスを形成することとなり配線間のリーク電流、ひいては絶縁破壊の原因になっていると考えられる。

【0080】以上の分析結果から、アンモニアプラズマ処理により、酸化された銅配線の表面は還元されてCu単元素に変換され、イオン化された銅よりも電気的に安定な状態になり、かつ、酸化シリコン膜/窒化シリコン膜界面は連続的な強固な膜になることから、リーク電流が減少し、TDDB寿命も大幅に向上すると考えられ

る。

【0081】本発明者らはアンモニアプラズマ処理を行った場合と、行わなかった場合について、配線層と窒化シリコン膜（キャップ膜）との界面のTEM写真を撮影した。その結果、アンモニアプラズマ処理を行った本実施の形態の場合は、その界面に薄い被膜の存在が確認できた。その薄い被膜は、前記した窒化層であると考えられる。一方、アンモニアプラズマ処理を行わない場合は、そのような被膜は確認できない。

【0082】また、本実施の形態では、Cu配線の抵抗を低減できる。図16は、各種の処理を行った場合の配線抵抗の測定結果である。処理無し（プラズマ処理なし）とアンモニアプラズマ処理をした場合とでは、他の場合（水素プラズマ処理、水素アニール、窒素プラズマ処理）と比較して有意に低い値となっている。図17および図18は、これら各処理を施した場合のCu配線とキャップ膜（窒化シリコン膜）との界面を観察したTEM写真のトレース図面である。

【0083】処理無しとアンモニアプラズマ処理の場合（図17）では界面に特異ものは見られないが、水素アニール、窒素プラズマ処理の場合（図18）では界面に銅のシリサイド（CuSi）層が形成されている。このシリサイド層が抵抗増加の原因と思われる。このようなシリサイド層は、窒化シリコン膜（キャップ膜）の形成の際のシランガスとの反応で形成されるが、アンモニアプラズマ処理を行っている場合には銅表面にごく薄い窒化膜が形成されており、この窒化膜がシリサイド化のブロッキング層として機能していると考えられる。一方、水素アニール等、単に銅表面を還元するのみでは活性な銅表面が露出してシリコンとの反応が促進されるため、シリサイド層が生成され易いと考えられる。また、水素プラズマ処理（図18（c））の場合には、界面に何らかの生成物が見られる。ただし、多くの場合にはそのような生成物が形成されない場合もあり、水素プラズマ処理の場合にはシリサイド化の程度は小さいと考えられる。

【0084】上記した分析結果から、TDDB寿命の劣化機構として、以下のようなモデルが考えられることが本発明者らの検討結果によって初めて見出された。図19（a）は、TDDB劣化のメカニズムの概略図を示し、（b）はそのエネルギーバンドを示している。すなわち、上記アンモニアプラズマ処理を施さない場合には、銅配線の表面には、その後の表面プロセスに影響され、酸化銅（CuO）が形成され、また、キャップ膜（窒化シリコン膜）68の形成の際に銅シリサイド（Cu化合物）が形成される。このような酸化銅あるいは銅シリサイドは、純粋な銅と比較してイオン化され易く、このようなイオン化された銅は配線間の電界によりドリフトされ、配線間の絶縁膜に拡散される。

【0085】また、上記アンモニアプラズマ処理を施さ

ない場合、銅を主成分とする埋め込み配線65を形成する絶縁膜（酸化シリコン膜）66とキャップ膜（窒化シリコン膜）68との界面は、CMPダメージ、有機物またはダングリングボンドが多く形成され、不連続であり、密着性にも乏しい。このようなダングリングボンドの存在は銅イオンの拡散を助長する作用を有し、銅イオンは界面に沿ってドリフトされ拡散する。すなわち、配線間の前記界面にリークパスが形成される。リークパスを流れるリーク電流は、長時間のリーク作用と電流による熱ストレスも加わり、その後、加速度的に電流値が増加して絶縁破壊に至る（TDDB寿命の低下）。

【0086】これに対し、図20（a）、（b）は、上記アンモニアプラズマ処理を施した場合のTDDB向上のメカニズムの概略図およびそのエネルギーバンドを示している。銅を主成分とする埋め込み配線65の表面にアンモニアプラズマ処理を施すため、埋め込み配線65の表面の酸化層は還元されて消失し、埋め込み配線65の表面に薄い窒化層が形成されるため窒化シリコン膜68の形成の際に銅シリサイドが形成されない。このため、リークおよび絶縁破壊の原因となる銅イオンを支配的に供給する原因物質を生じなくすることができる。また、絶縁膜（酸化シリコン膜）66の表面にアンモニアプラズマ処理を施すため、キャップ膜（窒化シリコン膜）68との接続を連続的にし、ダングリングボンドの密度を低減してリークパスの形成を抑制できる。また、絶縁膜66の表面を清浄な状態にできる。したがって、TDDB寿命低下の原因となる銅イオンの発生を抑制し、かつ、銅の拡散を抑制できるような絶縁膜66とキャップ膜68との接合界面を形成できる。これによりTDDB寿命を向上できるのである。

【0087】また、前記した解析から、水素プラズマ処理でもTDDB寿命を向上できると考えられる。すなわち、水素プラズマ処理により、銅表面は還元され、Si-O-等のダングリングボンドや、その原因となるSi-OHがSi-Hで終端される。そして、キャップ膜（窒化シリコン膜）の形成の際に、結合の弱い表面のSi-Hが離脱し、Si-Nで置換される。これにより連続的な絶縁膜（酸化シリコン膜）66とキャップ膜（窒化シリコン膜）68の界面が形成される。ただし配線抵抗は前記の通り増加する。

【0088】図21は、水素プラズマ処理を行った場合のTDDB寿命のデータを示したグラフである。参考にラインRef（処理無し）とラインA（アンモニアプラズマ処理）を示した。水素プラズマ処理（ラインC）では、TDDB寿命が格段に向上することがわかる。水素プラズマ処理の場合にはプラズマダメージが軽減されることが期待されるので、キャップ膜として窒化シリコン膜にかわる他の材料であってCuとの反応生成物を生じないような材料が適用できるときにはきわめて有効である。なお、窒素プラズマ処理（ラインD）ではTDDB

寿命がかえって低下する。図14, 15からもわかるように、窒素プラズマ処理によってかえって有機物の付着が増加していることに起因すると思われる。さらに、埋め込み配線65および絶縁膜66と、キャップ膜68との接着性が向上しているため、界面の剥離強度が増し、マージンが大きくなるという効果もある。

【0089】上記アンモニアプラズマ処理に際しては、アンモニア、水素の単一ガスに限られず、窒素、アルゴン、ヘリウム等の不活性ガスとの混合ガスプラズマで処理しても良い。すなわち、アンモニアと水素、窒素、アルゴンまたはヘリウムとの混合ガス、あるいは、水素とアンモニア、窒素、アルゴンまたはヘリウムとの混合ガスでも良い。さらに、これらのガスから選択された3元素系、4元素系等多元素系の混合ガスであっても良い。このとき、水素、アンモニア、あるいは水素とアンモニアとの和は、総流量（質量流量）に対して5%以上混合されていることが必要である。

【0090】本発明者らは、以上のようなTDDDB劣化メカニズムを定性的に解明し、高信頼度プロセスを確立した（特願平11-226876号または特願2000-104015号）。しかし、近年は、配線間容量の低減等の観点から配線間に用いられる絶縁膜の材料として、低誘電率の絶縁材料が用いられつつあるため、配線間の絶縁耐圧が酸化シリコン膜を用いていた場合に比べて必然的に低くなる。その上、配線ピッチの微細化

（1.0 μm ピッチであったものが0.5 μm あるいは0.44 μm ピッチに微細化される等）に伴い、実効電界強度が増加する。これらの結果、信頼度、すなわちTDDDB寿命の確保が益々困難になる。すなわち、上記アンモニアプラズマ表面処理に加えて、さらにTDDDB寿命を向上させるプロセスの開発が必須である。

【0091】そこで、本実施の形態においては、CMPおよびCMP後洗浄後に、水素プラズマおよびアンモニアプラズマ処理を施した後、大気開放せず連続してキャップ膜を形成する。これにより、TDDDB寿命をさらに向上させることができ、低誘電率の絶縁膜と、銅を主成分とする埋め込み配線との組合せにおいても、十分な信頼度を確保することができる。また、上記の本実施の形態のCMP後洗浄技術と組み合わせることで、配線の電気的特性およびTDDDB寿命をさらに向上させることができる。

【0092】次に、本発明の技術思想を、例えばCMIS (Complementary MIS) -LSI (Large Scale Integrated circuit) の製造方法に適用した場合を図22のフロー図および図23～図35を用いて説明する。なお、図23および図24(a)は要部平面図、各図(b)は(a)のX-X線の断面図である。

【0093】図23において、ウェハを構成する半導体基板1（以下、単に基板という）は、例えば1～10 Ωcm 程度の比抵抗を有するp型の単結晶シリコンからな

る。半導体基板1の主面（素子形成面）には、素子分離溝2が形成されている。この素子分離溝2内には、例えば酸化シリコン膜が埋め込まれ溝型の素子分離部（トレンチアイソレーション）が形成されている。また、半導体基板1の主面側には、p型ウェル4およびn型ウェル5が形成されている。p型ウェル4には、例えばホウ素が導入され、n型ウェル5には、例えばリンが導入されている。このような素子分離部に囲まれたp型ウェル4およびn型ウェル5の形成領域には、nMISQnおよびpMISQpが形成されている。

【0094】nMISQnおよびpMISQpのゲート絶縁膜6は、例えば厚さ6nm程度の酸化シリコン膜からなる。ここでいうゲート絶縁膜6の膜厚とは、二酸化シリコン換算膜厚（以下、単に換算膜厚という）であり、実際の膜厚と一致しない場合もある。

【0095】ゲート絶縁膜6は、酸化シリコン膜に代えて酸窒化シリコン膜で構成しても良い。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜6のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。酸窒化シリコン膜を形成するには、例えば半導体基板1をNO、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウェル4およびn型ウェル5のそれぞれの表面に酸化シリコンからなるゲート絶縁膜6を形成した後、半導体基板1を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜6と半導体基板1との界面に窒素を偏析させることによって、上記と同様の効果を得ることができる。

【0096】また、ゲート絶縁膜6を、例えば窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコンからなるゲート絶縁膜6を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁耐圧の低下が顕在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜6を単一の窒化シリコン膜あるいはそれと酸化シリコンとの複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁耐圧の低下を改善することができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、ゲート絶縁膜6を酸窒化シリコン膜で構成することにより、ゲート電極材料中の不純物が半導体基板側に拡散することに起因するしきい値電圧の変動を抑制することができる。

【0097】ここで、単一絶縁膜または複合絶縁膜の上記換算膜厚 dr とは、対象となる絶縁膜の比誘電率を ϵ_i 、その膜厚を d_i 、二酸化シリコンの比誘電率を ϵ_s としたときに、次式で定義される膜厚である。

【0098】

【数1】

$$dr = \sum \frac{\epsilon_i}{\epsilon_s} d_i$$

【0099】例えば酸化シリコン(SiO_2)の誘電率は4~4.2であり、窒化シリコン(Si_3N_4)の誘電率は8である。そこで、窒化シリコンの誘電率を酸化シリコンの誘電率の2倍として計算すると、例えば膜厚6nmの窒化シリコン膜の二酸化シリコン換算膜厚は3nmとなる。すなわち、膜厚6nmの窒化シリコン膜からなるゲート絶縁膜と膜厚3nmの酸化シリコン膜からなるゲート絶縁膜とは容量が等しい。また、膜厚2nmの酸化シリコン膜と膜厚2nmの窒化シリコン膜(換算膜厚=1nm)との複合膜からなるゲート絶縁膜の容量は、膜厚3nmの単一酸化シリコン膜からなるゲート絶縁膜の容量と同じである。

【0100】nMISQnおよびpMISQpのゲート電極7は、例えば低抵抗多結晶シリコン膜、WN(窒化タングステン)膜およびW(タングステン)膜の積層膜からなる。ただし、ゲート電極7は、低抵抗多結晶シリコン膜上にタングステンシリサイド膜またはコバルト

(Co)シリサイド膜を堆積した積層膜などを使って形成しても良い。また、ゲート電極7の材料として多結晶または単結晶のシリコン(Si)とゲルマニウム(Ge)との合金を用いても良い。ゲート電極7上には、例えば酸化シリコン等からなるゲートキャップ膜8が形成されている。また、ゲート電極7の側面には、例えば酸化シリコンからなるサイドウォール9が形成されている。

【0101】nMISQnのn型半導体領域10aおよびn型半導体領域10bは、nMISQnのソース・ドレイン用の半導体領域であり、共に、例えばリンまたはヒ素が導入されている。pMISQpのp型半導体領域11aおよびp型半導体領域11bは、pMISQpのソース・ドレイン用の半導体領域であり、共に、例えばホウ素が導入されている。また、n型半導体領域10bおよびp型半導体領域の表面には、例えばチタンシリサイドまたはコバルトシリサイド等からなるシリサイド層12が形成されている。

【0102】このような基板1上には絶縁膜13が堆積されている。この絶縁膜13は、ゲート電極7、7の狭いスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG(Boron-doped Phospho Silicate Glass)膜で構成されている。また、スピンドラ法によって

形成されるSOG(Spin On Glass)膜で構成しても良い。絶縁膜13には、コンタクトホール14a~14cが形成されている。コンタクトホール14a、14bの底部からはシリサイド層12の上面一部が露出されている。また、コンタクトホール14cの底部からはゲート電極7の上面一部が露出されている。このコンタクトホール14a~14c内には、プラグ15が形成されている。プラグ15は、例えばコンタクトホール14a~14cの内部を含む絶縁膜13上にCVD法等で窒化チタン(TiN)膜およびタングステン(W)膜を堆積した後、絶縁膜13上の不要な窒化チタン膜およびタングステン膜をCMP法またはエッチバック法によって除去し、コンタクトホール14a~14c内のみにこれらの膜を残すことで形成されている。

【0103】絶縁膜13上には、第1層配線M1が形成されている。第1層配線M1は、例えばタングステンからなり、プラグ15を通じてnMISQnおよびpMISQpのソース・ドレインやゲート電極7と電気的に接続されている。また、絶縁膜13上には、第1層配線M1を覆うように、絶縁膜16aおよび絶縁膜16bが下層から順に堆積されている。絶縁膜16aは、例えば有機ポリマーのような低誘電率な絶縁膜からなり、絶縁膜16bは、例えば酸化シリコン等からなり、層間絶縁膜の機械的強度を確保する機能を有している。

【0104】絶縁膜16aを構成する有機ポリマーとしては、例えばポリアリルエーテル(PAE)系材料のSiLK(米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490℃以上、絶縁耐圧=4.0~5.0MV/Vm)またはFLARE(米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400℃以上)等がある。PAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。

【0105】また、絶縁膜16aの材料としては、PAE系材料に代えて、SiOC系材料、SiOF系材料、HSQ(hydrogen silsesquioxane)系材料、MSQ(methyl silsesquioxane)系材料、ポーラスHSQ系材料、ポーラスMSQ材料またはポーラス有機系材料を用いることもできる。

【0106】SiOC系材料としては、例えばBlack Diamond(米Applied Materials, Inc製、比誘電率=3.0~2.4、耐熱温度=450℃)、CORAL(米Novellus Systems, Inc製、比誘電率=2.7~2.4、耐熱温度=500℃)、Aurora 2.7(日本エー・エス・エム社製、比誘電率=2.7、耐熱温度=450℃)またはp-MTEs(日立開発製、比誘電率=3.2)等がある。

【0107】HSQ系材料としては、例えばOCDT-12(東京応化工業製、比誘電率=3.4~2.9、耐熱温度=450℃)、FOX(米Dow Corning Corp.

製、比誘電率=2.9)またはOCL T-32(東京応化工業製、比誘電率=2.5、耐熱温度=450℃)等がある。

【0108】MSQ系材料としては、例えばHSG-R7(日立化成工業製、比誘電率=2.8、耐熱温度=650℃)、OCD T-9(東京応化工業製、比誘電率=2.7、耐熱温度=600℃)、LKD-T200(JSR製、比誘電率=2.7~2.5、耐熱温度=450℃)、HOSP(米Honeywell Electronic Materials製、比誘電率=2.5、耐熱温度=550℃)、HSG-RZ25(日立化成工業製、比誘電率=2.5、耐熱温度=650℃)、OCL T-31(東京応化工業製、比誘電率=2.3、耐熱温度=500℃)またはLKD-T400(JSR製、比誘電率=2.2~2、耐熱温度=450℃)等がある。

【0109】ポラスHSQ系材料としては、例えばXLK(米Dow Corning Corp. 製、比誘電率=2.5~2)、OCL T-72(東京応化工業製、比誘電率=2.2~1.9、耐熱温度=450℃)、Nanoglass(米Honeywell Electronic Materials製、比誘電率=2.2~1.8、耐熱温度=500℃以上)またはMesoeLK(米Air Products and Chemicals, Inc.、比誘電率=2以下)等がある。

【0110】ポラスMSQ系材料としては、例えばHSG-6211X(日立化成工業製、比誘電率=2.4、耐熱温度=650℃)、ALCAP-S(旭化成工業製、比誘電率=2.3~1.8、耐熱温度=450℃)、OCL T-77(東京応化工業製、比誘電率=2.2~1.9、耐熱温度=600℃)、HSG-6210X(日立化成工業製、比誘電率=2.1、耐熱温度=650℃)またはsilica aerogel(神戸製鋼所製、比誘電率1.4~1.1)等がある。

【0111】ポラス有機系材料としては、例えばPolyELK(米Air Products and Chemicals, Inc.、比誘電率=2以下、耐熱温度=490℃)等がある。

【0112】このような絶縁膜16a、16bには、第1層配線M1の一部が露出するスルーホール17が穿孔されている。このスルーホール17内には、例えばタングステン等からなるプラグ18が形成されている。

【0113】絶縁膜16aを形成するための上記SiOC系材料およびSiOF系材料や絶縁膜16bは、CVD法で形成されている。上記Black Diamondの場合は、原料ガスとして、例えばトリメチルシランと酸素との混合ガスを用いる。また、上記P-MTESの場合は、原料ガスとして、例えばメチルトリエトキシシランとN₂Oとの混合ガスを用いる。それ以外の上記誘電率の低い絶縁材料は、塗布法で形成されている。

【0114】まず、本実施の形態においては、上記のような半導体基板1上に、図24(a)、(b)に示すように、例えば膜厚50nmの窒化シリコン膜等からなる絶

縁膜19aをプラズマCVD法等で堆積する。絶縁膜19aは、窒化シリコン膜に代えて、プラズマCVD法で形成された炭化シリコン(SiC)または酸化シリコン膜を用いることができる。プラズマCVD法で形成された炭化シリコン系材料としては、例えばBlock(AMAT社製、比誘電率=4.3)があり、その形成に際しては、例えばトリメチルシランとヘリウムとの混合ガスを用いる。また、ラズマCVD法で形成された酸化シリコン系材料としては、例えばPE-TMS(Canon製、比誘電率=3.9)があり、その形成に際しては、例えばトリメトキシシランと酸化窒素(N₂O)ガスとの混合ガスを用いる。これらを用いた場合、誘電率を窒化シリコン膜よりも大幅に下げることができ、配線容量等を下げることができるので、半導体集積回路装置の動作速度を向上させることができる。

【0115】続いて、絶縁膜19a上に、絶縁膜16c、16dを下層から順に堆積する(図22の工程100)。絶縁膜16cは、上記絶縁膜16aと同じ低誘電率の絶縁膜から選択された材料からなる。また、絶縁膜16dは、上記絶縁膜16bと同じ材料からなる。その後、フォトリソ膜をマスクにしたドライエッチングで、絶縁膜16d、16c、19aを選択的に除去し、配線溝(配線開口部)20aを形成する(図22の工程101)。配線溝20aを形成するには、まず絶縁膜19aをエッチングストップにして絶縁膜16d、16cを選択的にエッチングし、その後、絶縁膜19aをエッチングする。このように、配線溝20aが形成される絶縁膜16c、16dの下層に薄い絶縁膜19aを形成しておき、この絶縁膜19aの表面でエッチングを一旦停止した後、絶縁膜19aをエッチングすることにより、配線溝20aの深さ精度を向上させることができ、配線溝20aを掘り過ぎることなく形成することができる。

【0116】次に、上記配線溝20aの内部に以下のような方法で第2層配線となる埋め込み配線を形成する。

【0117】まず、図25に示すように、配線溝20aの内部を含む絶縁膜16c、16d上に、例えば窒化チタン(TiN)等からなる薄い導電性バリア膜21aをスパッタリング法等で堆積する(図22の工程102)。この導電性バリア膜21aは、後述の主導体膜形成用の銅の拡散を防止する機能、その主導体膜と絶縁膜16c、16dとの密着性を向上させる機能および主導体膜のリフロー時に銅の濡れ性を向上させる機能を有している。このような機能を有する膜としては、窒化チタンに代えて、銅と殆ど反応しない窒化タングステン(WN)、窒化タンタル(TaN)などの高融点金属窒化物を用いることが好ましい。また、その窒化チタンに代えて、高融点金属窒化物にシリコン(Si)を添加した材料や、銅と反応し難いタンタル(Ta)、チタン(Ti)、タングステン(W)、チタンタングステン(TiW)合金などの高融点金属を用いることもできる。

【0118】本実施の形態では、導電性バリア膜 21a の最も厚い部分の厚さが 50 nm の場合を例示する。しかし、本発明者らの検討結果によれば、この導電性バリア膜 21a をさらに薄く、または、無くすることもできることが判明した。これについては、後述する。

【0119】続いて、導電性バリア膜 21a 上に、例えば銅からなる主導体膜 22a を堆積する（図 22 の工程 103）。本実施の形態では、主導体膜 22a をメッキ法で形成した。メッキ法を用いることにより、良好な膜質の主導体膜 22a を埋め込み性良く、かつ、低コストで形成することができる。この場合、まず、導電性バリア膜 21a 上に、銅からなる薄い導体膜をスパッタリング法で堆積した後、その上に、銅からなる相対的に厚い導体膜を、例えば硫酸銅を基本とするメッキ液を使用した電解メッキ法または無電解メッキ法によって成長させることで主導体膜 22a を堆積した。

【0120】ただし、主導体膜 22a をスパッタリング法で形成することもできる。この導電性バリア膜 21a および主導体膜 22a を形成するためのスパッタリング法としては、通常のスパッタリング法でも良いが、埋め込み性および膜質の向上を図る上では、例えばロングスロースパッタリング法やコリメートスパッタリング法等のような指向性の高いスパッタリング法を用いることが好ましい。また、主導体膜 22a を CVD 法で形成することもできる。

【0121】続いて、例えば 475℃ 程度の非酸化性雰囲気（例えば水素雰囲気）中で基板 1 を熱処理することによって主導体膜 22a をリフローさせ、銅を配線溝 20a の内部に隙間なく埋め込む。

【0122】次に、このような主導体膜 22a および導電性バリア膜 21a を CMP 法等によって研磨した後（図 22 の工程 104）、純水等の洗浄処理を経て、図 26 に示すように、配線溝 20a 内に銅を主成分とする埋め込み配線 23a を形成する。CMP 処理および CMP 装置の詳細については後述する。

【0123】続いて、基板 1 の表面の湿潤状態が保たれた状態で直ちに CMP 後洗浄処理に移行する。まず、基板 1 に対してアルカリ洗浄処理を施す（図 22 の工程 105）。ここでは、CMP 処理時のスラリ等の異物を除去する目的を有しており、CMP で基板 1 に付着した酸性スラリを中和し、基板 1 と、異物と、洗浄用のブラシとの $zeta$ 電位を方向を揃えて、それらの間の吸着力をなくすために、例えば pH 8 程度またはそれ以上の弱アルカリ薬液を供給しながら、基板 1 の表面をスクラブ洗浄（またはブラシ洗浄）する。アルカリ薬液として、例えばアミノエタノール（DAE（Diluted Amino Ethanol）、組成：2-Aminoethanol、 $H_2NCH_2CH_2OH$ 、濃度：0.001～0.1% 程度、好ましくは 0.01%）を用いた。この薬液は、銅のエッチング作用が少なく、 NH_4OH と同等の洗浄力を有する。このアル

カリ洗浄処理の詳細についても後ほど説明する。

【0124】続いて、基板 1 に対して還元処理を施す（図 22 の工程 106）。ここでは、図 27 に示すように、水素ガス雰囲気中で、例えば 200～475℃、好ましくは 300℃、例えば 0.5～5 分、好ましくは 2 分程度の熱処理を基板 1 に対して施した（水素（ H_2 ）アニール）。これにより、CMP 時に発生した埋め込み配線 23a 表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による埋め込み配線 23a のエッチングを抑制または防止することができる。このため、配線抵抗の上昇、配線抵抗のばらつきおよび段差の発生を同時に抑制または防止でき、さらに、エッチコロージョンの発生も抑制または防止できる。また、還元処理を行わない場合、CMP 処理時に基板 1 の表面に付着した BTA 等のような有機物が洗浄処理に際してマスクとなり絶縁膜 16d の表層を良好に削り取ることができない場合があるが、本実施の形態のように還元処理を行うことにより、CMP 時に付着した BTA 等の有機物を除去することができるので、絶縁膜 16d の表層を、十分に、かつ、均一に除去することができる。これらにより、半導体集積回路装置の TDDDB 寿命を大幅に向上させることが可能となる。

【0125】続いて、図 28 に示す基板 1 に対して酸洗浄処理を施す（図 22 の工程 107）。ここでは、TDDDB 特性の向上、残留金属除去、絶縁膜 16d 表面のダングリングボンドの低減および絶縁膜 16d 表面の凹凸除去等の目的を有しており、フッ酸水溶液を基板 1 の表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。フッ酸洗浄を挿入しただけでも TDDDB 特性を改善できる。これは、酸処理により表面のダメージ層が除去されて界面の密着性が向上したためと考えられる。フッ酸（HF）洗浄は、たとえばブラシスクラブ洗浄を用い、HF 濃度を 0.5%、洗浄時間を 20 秒の条件が選択できる。

【0126】図 29 に本実施の形態による TDDDB 特性の結果を示す。図からアルカリ洗浄と酸洗浄との連続シーケンスの TDDDB 特性と比較し、アルカリ洗浄、水素アニールおよび酸洗浄のシーケンスの TDDDB 特性は、約 2 桁向上することが分かる。層間絶縁膜に低誘電率の絶縁材料を用いた埋め込み銅配線構造の信頼性を考慮すると、2 桁の TDDDB 寿命の向上は、非常に有効なプロセスである。アルカリ洗浄と酸洗浄との間に、水素アニールを挿入することにより、TDDDB 寿命が向上する理由として、CMP 時に付着する BTA 等の有機物が除去されるためと考えられる。有機物が付着したまま酸洗浄を行うと、TDDDB 寿命を左右する隣接絶縁膜表面のクリーニング（リフトオフ）が十分にできないと推定される。一方、本実施の形態では水素アニール処理を行ってから洗浄処理を行うため、絶縁膜の表層を、十分に、かつ、均一にリフトオフすることができ、TDDDB 寿命を

向上させることが可能となる。

【0127】また、上記のように配線抵抗の発生は、CMPによる酸化膜の形成促進、フッ酸洗浄等の酸性溶液による酸化銅膜の除去、配線抵抗の増加（変動）および段差の発生の順に進行する。したがって、アルカリ洗浄が終了した時点で、水素アニール処理を行うことにより、CMP時に発生した配線表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による銅配線のエッチングを抑制または防止することができる。これにより、配線抵抗上昇、ばらつきおよび段差の発生を同時に抑制または防止でき、さらに、エッチコロージョンの発生も抑制または防止できる。図30は、本実施の形態を適用した場合における配線抵抗の水素アニール依存性を示すグラフである。アルカリ洗浄および酸洗浄を連続して行うよりも、アルカリ洗浄、水素アニールおよび酸洗浄を順次行った方が、配線抵抗を約6%低減させることができた。また、抵抗のばらつきも6.4%を5.9%に低減させることができた。

【0128】上記の例では、還元処理として水素アニールを施す場合について説明したが、これに限定されるものではなく、例えば水素プラズマやアンモニアプラズマを施しても良い。この場合、上記した効果の他に、還元処理時間を短縮でき、スループットの向上を推進させることができる、という効果が得られる。水素プラズマやアンモニアプラズマに比較した場合の水素アニールの利点としては、デバイスプロセスで良く使用されており実績があること、また、真空状態を形成する必要がないこと等から、比較的容易に処理を行うことができる、という利点がある。

【0129】また、上記CMP後洗浄処理に先行または並行して、基板1の表面を純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄したり、基板1の裏面を純水スクラブ洗浄したりしても良い。

【0130】次に、上記洗浄処理を経た後、例えば純水リンス処理およびスピン乾燥やIPA（イソプロピルアルコール）ペーパー乾燥等のような乾燥処理（図22の工程108）、後処理（図22の工程109、110）を経てキャップ絶縁膜の形成工程（図22の工程111）に移行する。

【0131】ここでは、まず、図31に示すように、基板1の表面（埋め込み配線23aが露出する面）に対して、水素プラズマ処理を施す。この水素プラズマ処理条件は、例えば基板1の直径を8インチ（＝約20cm）とした場合、処理圧力を5.0 Torr（＝6.6661×10²Pa）、高周波（RF）電力を600W、基板温度を400℃、水素ガス流量を500cm³/min、処理時間を10～30秒とすることができる。電極間距離は600mils（15.24mm）とした。

【0132】続いて、水素プラズマ処理工程109の後、大気開放せず連続して、図32に示すように、基板

1の表面（埋め込み配線23aが露出する面）に対して、アンモニア（NH₃）プラズマ処理を施す。このアンモニアプラズマ処理条件は、例えばアンモニア流量を200cm³/min程度とした以外は、工程109の水素プラズマ条件と同じである。

【0133】なお、プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどプラズマダメージを低減でき、基板温度が高いほどTDD寿命の基板内ばらつきの低減と長寿命化がはかれる。また、基板温度が高く、RF電力が大きく、処理時間が長いほどCuの表面にヒロックが発生しやすい、という知見が得られている。これらの知見と装置構成等による条件のばらつきを考慮すると、例えば処理圧力は0.5～6 Torr（＝0.66661×10²～7.99932×10²Pa）、RF電力は300～600W、基板温度は350～450℃、水素ガス流量は50～1000cm³/min、アンモニアガス流量は20～500cm³/min、処理時間は5～180秒、電極間距離は150～1000mils（3.81～25.4mm）の範囲で設定することができる。

【0134】続いて、アンモニアプラズマ処理工程110の後、大気開放せず連続して、図33に示すように、埋め込み配線23aおよび絶縁膜16dの表面上に、絶縁膜19b（キャップ膜）をCVD法等によって堆積する。絶縁膜19bは、例えば上記絶縁膜19aと同一厚さの同一材料からなり、絶縁膜19aと同様の変形例がある。

【0135】このように本実施の形態では、キャップ膜用の絶縁膜19bの堆積に先立って水素プラズマ処理およびアンモニアプラズマ処理を基板1に対して順に施す。

【0136】アンモニアプラズマでは、CMPで酸化された銅配線表面の酸化銅（CuO、Cu₂O）を銅（Cu）に還元する。また、セッフロー時の銅のシリサイド化を防ぐ窒化銅（Cu₃N）層が埋め込み配線23aの表面（ごく薄い領域）に形成される。配線間の絶縁膜16d上面（ごく薄い領域）では、SiN化またはSiH化が進み、絶縁膜16d表面のダングリングボンドを補償し、また、キャップ膜（窒化シリコン膜）と埋め込み配線23aおよび絶縁膜16dとの密着性が向上させることができ、界面のリーク電流を低減することができる。このような効果により、TDD寿命を向上させることができる。

【0137】一方、水素プラズマでは、本発明者らによる特願平11-226876号でも述べたように、アンモニアプラズマ処理等に比べて有機系の除去能力が非常に高いため、CMPでのスラリに含まれているBTA、スラリ成分やCMP後洗浄の有機酸とプロセス中に生成した残留有機物をほぼ完全に除去し、界面のリーク電流

を減少させることができる。その結果、TDD B寿命をさらに向上させることができる。

【0138】したがって、この水素プラズマ処理とアンモニアプラズマ処理とを順に行うことにより、銅を主成分とする埋め込み配線23a表面の還元および耐シリサイドバリア層の形成と、絶縁膜界面のクリーニングおよびSiH効果、SiN効果を得ることができ、さらなる信頼性の向上を実現できる。図34は、実際に水素プラズマ処理およびアンモニアプラズマ処理を組み合わせで行った時のTDD B特性を示している。CMP条件およびCMP後洗浄条件は全て同じである。層間絶縁膜が、例えばTEOS (Tetraethoxysilane) ガスを用いたプラズマCVD法で形成された酸化シリコン膜上に、プラズマCVD法で形成された窒化シリコン膜を堆積することで構成されている場合において、水素プラズマとアンモニアプラズマとを組み合わせで行ったサンプルでは、アンモニアプラズマ処理単独の場合と比較して、TDD B寿命が約2桁向上することが判明した。

【0139】また、図34には、層間絶縁膜が、本実施の形態で説明したような誘電率の低い材料（例えば上記SiLK）で構成されている場合のおおよその推定特性を、SiLKの絶縁耐圧が4.0～5.0MV/cm程度であること、有機SOG (Spin On Glass) 層間構造のTDD B特性評価の経験等から示した。アンモニアプラズマ処理のみでは、例えば約0.13～0.17MV/cm、10年の動作環境では不十分となる場合があるのに対して、水素プラズマおよびアンモニアプラズマを用いる本実施の形態の場合は、上記動作環境に対して十分な信頼度を確保できる。

【0140】図35は、上記のようにして第7層配線までを形成したCMIS-LSIの一例を示している。特に限定されるものではないが、以下に各部の寸法を記す。

【0141】第1層配線M1の膜厚および配線ピッチ（隣接配線の中心から中心までの距離）は、例えば0.4μm程度または0.25μm程度である。また、第2層配線M2から第5層配線M5までは、前記したCu配線の形成方法で製造する。第2層配線M2および第3層配線M3の導電性バリア膜の厚さは、例えば0.05μm程度、主導体膜の厚さは、例えば0.35μm程度、配線幅および配線ピッチは、例えば0.5μm程度または0.25μm程度である。第4層配線M4および第5層配線M5の導電性バリア膜の厚さは、例えば0.05μm程度、主導体膜の厚さは、例えば0.95μm程度、配線幅および配線ピッチは、例えば1.0μm程度または0.25μm程度である。また、第6層配線M6は、例えばタングステン膜、アルミニウム膜およびタングステン膜の3層構成とされている。また、第7層配線M7は、例えばアルミニウム膜からなる。第7層配線M7のパッドには、バンプ電極が形成されるか、またはボ

ンディングワイヤが接続されるが図示を省略している。なお、第7層配線(M7)をアルミニウムとタングステンとの積層膜で構成している理由の1つとして、その積層膜は、ダマシン配線構造を採用しない通常の半導体集積回路装置の最上層に一般的に使用しており、バンプ電極やボンディングワイヤとの接続上の信頼性を確保できることが経験的に実証されているからである。第1層配線M1と第2層配線M2とを接続するスルーホール径の直径は、例えば0.45μm程度または0.25μm程度である。第2層配線M2と第3層配線M3とを接続するスルーホール径の直径は、例えば0.5μm程度または0.25μm程度である。第3層配線M3と第4層配線M4とを接続するスルーホール径の直径は、例えば0.5μm程度または0.25μm程度である。第4層配線M4と第5層配線M5とを接続するスルーホール径の直径は、例えば1.0μm程度または0.25μm程度である。第5層配線M5と第6層配線M6とを接続するスルーホール径の直径は、例えば0.5μm程度または0.25μm程度である。

【0142】次に、本実施の形態で用いたCMP装置の一例について説明する。

【0143】図36は、本実施の形態で用いたCMP装置の全体構成の一例を示している。

【0144】このCMP装置25は、上記導電性バリア膜21aおよび主導体膜22aの研磨に用いる枚葉式のCMP装置であり、表面に主導体膜22aが形成された基板1を複数枚収容するロード25a、主導体膜22aを研磨、平坦化する研磨処理部25b、導電性バリア膜21aを研磨、平坦化する研磨処理部25c、研磨が終了した基板1の表面に防蝕処理を施す防蝕処理部25d、防蝕処理が終了した基板1を後洗浄するまでの間、その表面が乾燥しないように維持しておく浸漬処理部25e、防蝕処理が終了した基板1を後洗浄する後洗浄処理部25fおよび後洗浄が終了した基板1を複数枚収容するアンロード25gを備えている。後洗浄処理部25fは、上記アルカリ洗浄を行う第1後洗浄処理部25f1、上記還元処理を行う還元処理部25f2および上記酸洗浄を行う第2後洗浄処理部25f2を有している。この後洗浄処理部25fは、CMP装置25から分離して独立した装置としても良い。

【0145】図37に示すように、CMP装置25の研磨処理部25b、25cは、上部が開口された筐体26aを有しており、この筐体26aに取り付けられた回転軸26bの上端部には、モータ26cによって回転駆動される研磨盤（プラテン）26dが取り付けられている。この研磨盤26dの表面には、多数の気孔を有する合成樹脂を均一に貼り付けて形成した研磨パッド26eが取り付けられている。

【0146】また、この研磨処理部25b、25cは、基板1を保持するためのウエハキャリア26fを備えて

いる。ウエハキャリア26fを取り付けた駆動軸26gは、ウエハキャリア26fと一体となってモータ（図示せず）により回転駆動され、かつ研磨盤26dの上方で上下動されるようになっている。

【0147】基板1は、ウエハキャリア26fに設けられた真空吸着機構（図示せず）により、その主面すなわち被研磨面を下向きとしてウエハキャリア26fに保持される。ウエハキャリア26fの下端部には、基板1が収容される凹部26f1が形成されており、この凹部26f1内に基板1を収容すると、その被研磨面がウエハキャリア26の下端面とほぼ同一か僅かに突出した状態となる。

【0148】研磨盤26dの上方には、研磨パッド26eの表面と基板1の被研磨面との間に研磨スラリSを供給するためのスラリ供給管26hが設けられており、その下端から供給される研磨スラリSによって基板1の被研磨面が化学的および機械的に研磨される。研磨スラリSとしては、例えばアルミナなどの砥粒と過酸化水素水または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させたものが使用される。

【0149】また、この研磨処理部25b、25cは、研磨パッド26eの表面を整形（ドレッシング）するための工具であるドレッサ26iを備えている。このドレッサ26iは、研磨盤26dの上方で上下動する駆動軸26jの下端部に取り付けられ、モータ（図示せず）により回転駆動されるようになっている。

【0150】研磨が終了した基板1は、防蝕処理部25dにおいて、その表面に防蝕処理が施される。防蝕処理部25dは、上記した研磨処理部25b、25cの構成と類似した構成になっており、ここでは、まず研磨盤（プラテン）の表面に取り付けた研磨パッドに基板1の主面が押し付けられて研磨スラリが機械的に除去された後、例えばベンゾトリアゾール（BTA）などの防蝕剤を含んだ薬液が基板1の主面に供給されることによって、基板1の主面に形成された銅配線の表面部分に疎水性保護膜が形成される。

【0151】防蝕処理が終了した基板1は、その表面の乾燥を防ぐために、浸漬処理部25eに一時的に保管される。浸漬処理部25eは、防蝕処理が終了した基板1を後洗浄するまでの間、その表面が乾燥しないように維持するためのもので、例えば純水をオーバーフローさせた浸漬槽（ストック）の中に所定枚数の基板1を浸漬させて保管する構造になっている。このとき、埋め込み配線23aの電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却した純水を浸漬槽に供給することにより、埋め込み配線23aの腐蝕をより一層確実に防止することができる。基板1の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板1の表面を湿润状態に保持することのできる方法であれば、上記した浸漬槽中の保管以外の方法で行っても良い。

【0152】図38は、上記第1、第2後洗浄処理部25f1、25f3の一例であるスクラブ洗浄装置27を示している。このスクラブ洗浄装置27は、モータ27aによって回転駆動されるステージ27bを備えており、このステージ27bに保持された基板1が水平面内で所望の速度で回転するようになっている。また、ステージ27b上で回転する基板1の上下面には、円筒形のブラシ27cが押し付けられるようになっている。これらのブラシ27cは、回転駆動機構により、基板1の主面に対して垂直な面内で所望の速度で回転するようになっている。また、ブラシ27cには、上記洗浄液が配管等を通じて供給されるようになっている。ブラシ27cに供給された洗浄液は、例えばポリビニルアルコール（PVA）等のような合成樹脂の多孔質体で構成されたブラシ27cの内部から表面（基板1との接触面）に少しずつしみ出し、ブラシ27cと接触した基板1の表面を濡らすようになっている。

【0153】基板1に付着したスラリ等を除去するには、基板1の上下面にブラシ27cを押し付け、基板1を水平面内に回転させながら、ブラシ27cを基板1の主面に対して垂直な面内で回転させる。この時、両ブラシ27cは、その表面に設けられた後述する多数の突起の先端が僅かに（例えば1mm程度）凹むような圧力で基板1に押し付けられる。基板1の回転速度は、例えば20rpm程度とし、ブラシ27cの回転速度は、例えば120rpm程度とする。このようにして、所定の時間、基板1の両面をブラシ27cでスクラブ洗浄することにより、その表面に付着したスラリ等を除去することができる。

【0154】図39は、上記ブラシ27cの拡大斜視図である。図示のように、このブラシ27cの表面、すなわち、基板1との接触面には、微小な円筒形の突起27c1が所定の間隔をおいて多数設けられている。このブラシ27cは、例えばPVAのような合成樹脂の多孔質体で構成されている。本実施の形態では、ブラシ27cの中心部から両端部に向かって突起27c1の数が次第に多くなっている。すなわち、突起27c1は、ブラシ27cの中心部でその数が最も少なく、両端部でその数が最も多くなるように配置されている。

【0155】このようなブラシ27cを使用した場合、ブラシ27cの中心部と接触する基板1の中心部は、ブラシ27cの端部と接触する基板1の周辺部に比べてブラシ27cとの接触時間は長くなる。しかしその反面、基板1に接触する突起27c1は、ブラシ27cの中心部でその数が最も少なく、両端部でその数が最も多いため、ブラシ27cと基板1との接触面積は、基板1の中心部よりも周辺部の方が大きくなる。これにより、ブラシ27cと、基板1とが接触する時間×面積の値は、基板1の全面でほぼ均等とすることができる。このため、埋め込み配線23aの表面の削れ量（エッチング量）

を、基板 1 の全面でほぼ均等とすることができた。

【0156】本発明者らの実験によれば、次のような条件で突起 27c1 の数を最適化することにより、埋め込み配線 23a の表面の削れ量は、基板 1 の全面でほぼ均等となった。なお、ここで、使用した基板 1 の直径は、例えば 125mm 程度、基板 1 の回転数は、例えば 22rpm 程度、ブラシ 27c の直径は、例えば 55mm 程度である。ブラシ 27c は、基板 1 との接触面が 1mm 凹む圧力で基板 1 に押し当てた。

【0157】基板の中心から最外周までを 10 等分し、それぞれの領域に接触する突起の数をブラシの中心から端部に沿って次第に増加させたところ、ブラシの回転数が 120rpm の場合、突起の最適数は、基板の中心側から 1, 1, 2, 3, 3, 4, 5, 6, 7, 8 (個) であった。また、ブラシの回転数が 30rpm の場合、突起の最適数は、基板の中心から 3, 3, 8, 8, 8, 8, 8, 8 (個) であった。

【0158】ブラシ 27c と基板 1 とが接触する時間×面積を基板 1 の全面でほぼ均等にすると他の手段としては、例えばブラシ 27c の中心部から両端部に向かうに従って突起 27c1 の直径を次第に大きくする（またはブラシ 27c の両端部から中心部に向かうに従って突起 27c1 の直径を次第に小さくする）等、ブラシ 27c と基板 1 との接触面積が基板 1 の中心部に近づくほど小さくなり、基板 1 の周辺部に近づくほど大きくなるように、突起 27c1 の大きさ、形状、個数などを変更する種々の手段を採用することができる。

【0159】また、ブラシ 27c と基板 1 との接触面積を基板 1 の周辺部から中心部に向かうに従って小さくする上記手段に代えて、基板 1 の表面に押し付けるブラシ 27c の圧力を基板 1 の周辺部から中心部に向かうに従って小さく（または中心部から周辺部に向かうに従って大きく）しても良い。この場合は、ブラシ 27c と基板 1 との接触面積との接触面積が基板 1 の全面でほぼ同じであっても、前記と同様の効果が得られる。

【0160】基板 1 の表面に押し付けるブラシ 27c の圧力を基板 1 の周辺部から中心部に向かうに従って小さくするには、例えばブラシ 27c の両端部から中心部に向かうに従って突起 27c1 の高さを低くしたり、ブラシ 27c の直径を小さくしたりすれば良い。

【0161】また基板回転数／ブラシ回転数の比（以下、W/B 比という）を最適化することにより、ブラシ 27c の中心部と両端部とで突起の 27c1 の数を変えなくても基板 1 の面内の均一性を実現できる。本発明者らの実験結果によれば、上記ロール型洗浄装置では、W/B 比＝1.2 以上、ディスク型洗浄装置では、W/B 比＝2.0 以上が CMP 後洗浄において有効な洗浄条件とされた。

【0162】なお、以上のような CMP 後洗浄に際して基板 1 面内の削れ量を均一化する技術については、本発

明者らによる特願 2000-176769 号に記載されている。

【0163】上記後洗浄処理では、ロール型洗浄方式について説明したが、これに限定されるものではなく種々変更可能であり、例えばアルカリ洗浄に際してディスク型洗浄方式を採用することもできる。また、酸洗浄に際してディスク型洗浄方式やペン型洗浄方式を採用することもできる。図 40 はディスク型洗浄方式の一例を示している。図 40 (a) は平面図、(b) はその断面図である。基板 1 の上下面に平面円形状のディスクブラシ 28 を配置した状態で、基板 1 およびディスクブラシ 28 を水平面内に回転させながら基板 1 の表面を洗浄する。また、図 41 はペン型洗浄方式の一例を示している。図 41 (a) は平面図、(b) はその断面図を示している。基板 1 の主面（埋め込み配線形成面）上にペンプラシ 29 を配置した状態で基板 1 を水平面内に回転させながらペンプラシ 29 を回転および揺動させて基板 1 の主面や端面を洗浄する。ペンプラシ 29 は前段の洗浄処理（例えばロール型洗浄やディスク型洗浄）で除去しきれなかったものを除去するのに適している。ディスクブラシ 28 およびペンプラシ 29 のブラシ材質等は、上記したのと同じである。

【0164】上記後洗浄処理が終了した基板 1 は、純水リンスおよびスピンドライの後、乾燥した状態でアンローダ 25g（図 36 参照）に収容され、複数枚単位で一括して次工程へ搬送される。

【0165】なお、防蝕処理が終了した基板 1 の表面乾燥を防ぐための浸漬処理部（基板保管部）25e を遮光構造にし、保管中の基板 1 の表面に照明光などが照射されないようにすることができる。これにより、光起電力効果による短絡電流の発生を防ぐようにできる。浸漬処理部 25e を遮光構造にするには、具体的には浸漬槽（ストッカ）の周囲を遮光シートなどで被覆することによって、浸漬槽（ストッカ）の内部の照度を少なくとも 500ルクス以下、好ましくは 300ルクス以下、さらに好ましくは 100ルクス以下にする。

【0166】また、研磨処理の直後、すなわちその表面に残った研磨スラリ中の酸化剤による電気化学的腐蝕反応が開始される前に直ちに乾燥処理部に搬送され、研磨スラリ中の水分が強制乾燥によって除去されてもよい。この場合、研磨処理部 25b、25c において研磨処理に付された基板 1 は、研磨処理の直後、すなわちその表面に残った研磨スラリ中の酸化剤による電気化学的腐蝕反応が開始される前に直ちに乾燥処理部に搬送され、研磨スラリ中の水分が強制乾燥によって除去される。その後、基板 1 は、乾燥状態が維持されたまま後洗浄処理部 25f に搬送され、後洗浄処理に付された後、純水リンスおよびスピンドライを経てアンローダ 25g に収容される。この場合、研磨処理の直後から後洗浄が開始されるまでの間、基板 1 の表面が乾燥状態に保たれるため、

に、電気化学的腐蝕反応の開始が抑制され、これにより、Cu配線の腐蝕を有効に防止することが可能となる。

【0167】次に、上記後処理からキャップ膜の形成処理で用いたプラズマ処理装置の一例を説明する。

【0168】図42は、プラズマ処理装置30の一例を示した断面図(a)および平面図(b)である。なお、このプラズマ処理については、本願発明者などによる特願平11-226876号に記載されている。

【0169】このプラズマ処理装置30としては、例えばAMAT社製P5000を使用している。プラズマ処理装置30には、ロードロック室30aに2つの処理室30b1、30b2とカセットインタフェイス30cが取り付けられている。ロードロック室30a内には基板1を搬送するロボット30dを有する。ロードロック室30aと処理室30b1、30b2との間には、処理中にもロードロック室30a内の高真空状態が保てるようにゲートバルブ30eを有する。

【0170】処理室30b1、30b2内には基板1を保持するサセプタ30f、ガス流を整えるバッフル板30g、サセプタ30fを支持する支持部材30h、サセプタ30fに対向して配置されるメッシュ状の電極30i、バッフル板30gにほぼ対向して配置された絶縁板30jを有する。絶縁板30jはサセプタ30fと電極30iの間以外の不必要な領域での寄生放電を抑制する作用がある。サセプタ30fの裏面側には反射ユニット30k内に設置されたランプ30mが配置され、ランプ30mを発した赤外線30nが石英窓3pを通過してサセプタ30fおよび基板1に照射される。これにより基板1が加熱される。なお、基板1はサセプタ30f上にフェイスアップ（主面、すなわち、埋め込み配線形成面を上にした状態）で設置される。

【0171】処理室30b1、30b2はその内部を高真空に排気することが可能であり、処理ガスおよび高周波電力がガスポート30qから供給される。処理ガスはメッシュ状の電極30iを通過して基板1の近傍に供給される。処理ガスは真空マニホールド30rから排出され、処理ガスの供給流量および排気速度を制御することにより圧力が制御される。高周波電力は電極30iに印加され、サセプタ30fと電極30iとの間でプラズマを生成する。高周波電力はたとえば13.56MHzの周波数を用いる。

【0172】処理室30b1では、例えば上記水素プラズマ処理およびアンモニアプラズマ処理が行われる。ただし、この水素プラズマ処理とアンモニアプラズマ処理とを別々のプラズマ処理室で行っても良い。また、処理室30b2では、上記キャップ膜（窒化シリコン膜）の堆積が行われる。処理室30b1と処理室30b2とはロードロック室30aを介して機械的に接続されているため、上記水素プラズマ処理およびアンモニアプラズマ

処理の後に真空破壊することなく基板1を処理室30b2に搬送することができ、上記プラズマ処理（後処理）とキャップ膜の形成とを連続的に行うことができる。

【0173】プラズマ処理（後処理）に際しては、例えば次のようにする。カセットインタフェイス30cから基板1がロボット30dによりロードロック室30aに搬入される。ロードロック室30aを十分な減圧状態になるまで真空排気し、ロボット30dを用いて処理室30b1に基板1を搬送する。処理室30b1のゲートバルブ30eを閉じ、処理室30b1内が十分な真空度になるまで排気した後、処理室30b1に水素ガスまたはアンモニアガスを導入し、圧力調整を行って所定の圧力に維持する。その後、高周波電源から電極30iに電界を印加し、上記のように基板1の表面をプラズマ処理する。所定時間の経過後高周波電界を停止し、プラズマを停止する。その後、処理室30b1内を真空排気し、ゲートバルブ30eを開いてロボット30dにより基板1をロードロック室30aに搬出する。なお、ロードロック室30aは高真空状態に維持されているため、基板1の表面が大気雰囲気曝露に曝されることがない。

【0174】続いて、キャップ膜の形成に際しては、例えば次のようにする。まず、ロボット30dを用いて基板1を処理室30b2に搬送する。処理室30b2のゲートバルブ30eを閉じ、処理室30b2内が十分な真空度になるまで排気した後、処理室30b2にシラン（SiH₄）、アンモニア、窒素の混合ガスを導入し、圧力調整を行って所定の圧力に維持する。その後、高周波電源から電極30iに電界を印加してプラズマを発生し、上記キャップ膜用の絶縁膜19b（図33参照）を堆積する。所定時間の経過後高周波電界を停止しプラズマを停止する。その後、処理室30b2内を真空排気し、ゲートバルブ30eを開いてロボット30sにより基板1をロードロック室30aに搬出する。さらに、ロボット30dを用いてカセットインタフェイス30cに基板1を排出する。

【0175】（実施の形態2）本実施の形態においては、上記CMP後洗浄処理の変形例を説明する。

【0176】図43は、そのフロー図を示している。ここでは、CMP処理後（工程104）、上記還元処理を行い（工程106）、その後、アルカリ洗浄（工程105）、酸洗浄（工程107）の順で後洗浄処理を行う場合を例示している。それ以外は、前記実施の形態1と同じである。この場合も前記実施の形態1で説明したCMP後洗浄処理と同様の効果が得られる。この場合、CMP装置に還元処理部を設けるようにしても良い。

【0177】また、図44は、他の例のフロー図を示している。ここでは、アルカリ洗浄を行わず、酸洗浄のみを行う場合に本発明を適用した場合を例示している。それ以外は、前記実施の形態1と同じである。酸洗浄のみを行っただけでもTDD特性が改善する。これは、ダ

メージ層の除去により界面の特性を向上できたためと思われる。この場合も、CMP装置に還元処理部を設けるようにしても良い。

【0178】(実施の形態3) 本実施の形態においては、上記後処理の変形例を説明する。

【0179】図43は、そのフロー図の一部を示している。ここでは、アンモニアプラズマ処理後に水素プラズマ処理を真空状態を維持したまま連続して行う場合が例示されている。それ以外は、前記実施の形態1、2と同じである。また、図44は、後処理に際してアンモニアプラズマ処理のみを行う場合が例示されている。それ以外は、前記実施の形態1、2と同じである。これらの場合、配線抵抗は前記実施の形態1、2の場合よりも低下したものの、TDD寿命を向上させることができた。

【0180】(実施の形態4) 本実施の形態においては、上記後処理の変形例を説明する。

【0181】図47は、そのフロー図の一部を示している。ここでは、乾燥処理(工程108)の後、水素プラズマ処理(工程109)の前に、水素アニール処理(工程200)を行う場合が例示されている。すなわち、乾燥処理(工程108)、水素アニール処理(工程200)、水素プラズマ処理(工程109)、アンモニアプラズマ処理(工程110)、キャップ膜形成処理(工程111)の順に処理を行う場合が例示されている。

【0182】また、図48には、図47の後処理の順序を変えた場合が例示されている。すなわち、水素アニール(工程200)、アンモニアプラズマ(工程110)、水素プラズマ(工程109)を順に行う場合が例示されている。

【0183】さらに、図49には、水素アニール(工程200)後、後処理としてアンモニアプラズマ(工程110)のみを行う場合が例示されている。すなわち、水素アニール(工程200)、アンモニアプラズマ(工程110)、キャップ膜形成処理(工程111)を順に行う場合が例示されている。

【0184】いずれにおいても水素アニールの条件としては、処理温度は、例えば200~475℃、好ましくは300℃程度、処理時間は、例えば0.5~5分、好ましくは2分程度とした。

【0185】この方法は、特に埋め込み配線用の銅からなる主導体膜をメッキ法で形成する場合に適している。また、後洗浄処理中またはその直前の還元処理に際して水素アニールを行わない場合に適している。このように水素アニール処理(工程200)を施すことにより、メッキ法によって形成された銅を再結晶化させることができるので、配線抵抗を下げる事が可能となる。また、この水素アニール処理を行わずにキャップ膜(絶縁膜19b)を堆積すると、熱応力によってキャップ膜の剥離が生じる場合があるが、水素アニール処理を施すことにより、それを抑制または防止することができる。

【0186】なお、前記実施の形態3の後処理に際して水素プラズマおよびアンモニアプラズマ処理を行う手段および本実施の形態4の手段は、図50や図51に示すようにCMP後洗浄処理中またはその直前に還元処理を行わない場合と組み合わせても各手段の効果をを得ることができる。図50は、CMP後洗浄に際してアルカリ洗浄(工程105)および酸洗浄(工程107)を順に行う場合、図51は、CMP後洗浄に際して酸洗浄(工程107)のみを行う場合が、それぞれ例示されている。

【0187】(実施の形態5) 本実施の形態の半導体集積回路装置の製造方法を図52~図61によって説明する。

【0188】図52は、銅を主成分とする埋め込み配線の形成に用いるCMP装置の全体構成の一例を示す概略図である。

【0189】図示のように、CMP装置31は、研磨処理部31aとその後段に設けられた後洗浄部31bとを有している。研磨処理部31aには、基板1の研磨処理を行う2台の定盤(第1定盤31c1、第2定盤31c2)、研磨処理が終わった基板1を予備洗浄し、その表面に防食処理を施すクリーン・ステーション31d、基板1をロード31e、第1定盤31c1、第2定盤31c2、クリーン・ステーション31d、アンロード31f間に移動させる回転アーム31gなどが設置されている。

【0190】研磨処理部31aの後段には予備洗浄が終わった基板1の表面をスクラブ洗浄する後洗浄部31bが設けられている。後洗浄部31bには、ロード31h、第1洗浄部31i1、第2洗浄部31i2、スピンドライヤ31j、アンロード31kなどが設置されている。また、後洗浄部31bは、洗浄中の基板1の表面に光が照射するのを防ぐために、全体が遮光壁31mで囲まれ、内部が180ルクス、好ましくは100ルクス以下の暗室状態となっている。これは、表面に研磨液が付着した基板1に湿潤状態で光が照射されると、シリコンの光起電力によってpn接合に短絡電流が流れ、pn接合のp側(+側)に接続されたCu配線の表面からCuイオンが解離して配線腐食を引き起こすからである。

【0191】図53に示すように、第1定盤31c1は、その下部に設けられた駆動機構31nによって水平面内で回転駆動する。また、第1定盤31c1の上面には多数の気孔を有するポリウレタンなどの合成樹脂を均一に貼り付けて形成した研磨パッド31pが取り付けられている。第1定盤31c1の上方には、駆動機構31qによって上下動および水平面内で回転駆動するウエハキャリア31rが設置されている。基板1は、このウエハキャリア31rの下端部に設けられたウエハチャック31sおよびリテーナリング31tによって、その主面(被研磨面)を下向きにして保持され、所定の荷重で研

磨パッド31pに押し付けられる。研磨パッド31pの表面と基板1の被研磨面との間にはスラリー供給管31uを通じてスラリー(研磨液)Sが供給され、基板1の被研磨面が化学的および機械的に研磨される。また、第1定盤31c1の上方には、駆動機構31vによって上下動および水平面内で回転駆動するドレッサ31wが設置されている。ドレッサ31wの下端部にはダイヤモンド粒子を電着した基材が取り付けられており、研磨パッド31pの表面は、研磨砥粒による目詰まりを防ぐために、この基材によって定期的に切削される。なお、第2定盤31c2は、2本のスラリー供給管31u、31uが設けられている点を除き、第1定盤31c1とほぼ同様の構成になっている。

【0192】上記CMP装置31を使って銅を主成分とする埋め込み配線を形成するには、ローダ31eに收容された基板1を回転アーム31gを使って研磨処理部31aに搬入する。この基板1は、前記図23～図25で説明したのと同じ工程を経たものである。そして、まず、図54に示すように、基板1を第1定盤31c1の上において、砥粒を含まないスラリーを使用した化学機械研磨(砥粒フリー化学機械研磨)(第1ステップのCMP)を行い、前記配線溝20aの外部の銅からなる主導体膜22aを図55に示すように除去する。

【0193】ここで砥粒フリー化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5%重量以下の研磨液(スラリー)を使用した化学機械研磨を意味し、研磨液としては、特に砥粒の含有量が0.1重量%以下のものが好ましく、0.05重量%以下あるいは0.01重量%以下のものはさらに好ましい。

【0194】また、研磨液としては、銅の腐食域に属するようにそのpHが調整されたものが使用され、さらに導電性バリア膜21aに対する主導体膜22aの研磨選択比が少なくとも5以上となるようにその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含んだスラリーを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硝酸アンモニウム、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、フマル酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸、シュウ酸などを例示することができる。これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。また、クエン酸は食品添加物としても一般に使用されており、毒性が低く、廃液としての害も低く、臭いもなく、水への溶解度も高いため、研磨液に用いて好適な有機酸である。本実施の形態では、例えば純水に5体積%の過酸化水素と0.03重量%のクエン酸とを加え、砥粒の含有量を0.01重量%未満にした研磨液を使用する。

【0195】上記研磨液で化学機械研磨を行うと、まず

銅表面が酸化剤によって酸化され、表面に薄い酸化層が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化層が水溶液となって溶出し、上記酸化層の厚さが減る。酸化層が薄くなった部分は再度酸化性物質に晒されて酸化層の厚が増し、この反応を繰り返して化学機械研磨が進行する。なお、このような砥粒フリーの研磨液を使用した化学機械研磨については、本願発明者などによる日本特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0196】研磨の条件は、一例として荷重=250g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、米国ロデール(Rodel)社の硬質パッド(IC1400)を使用する。研磨の終点は、主導体膜22aが除去されて下地の導電性バリア膜21aが露出した時点とし、終点の検出は、研磨対象が主導体膜22aから導電性バリア膜21aになったときに変化する定盤またはウエハキャリアの回転トルク信号強度を検出することによって行う。また、研磨パッドの一部に穴を開け、基板1表面からの光反射スペクトル変化に基づいて終点を検出したり、スラリーの光学的スペクトル変化に基づいて終点を検出したりしても良い。

【0197】図55に示すように、上記の砥粒フリー化学機械研磨を行うことにより、配線溝20aの外部の主導体膜22aは殆ど除去されて下層の導電性バリア膜21aが露出するが、図56(a)、(b)に拡大して示すように、下地段差に起因して生じた導電性バリア膜21aの窪み(矢印で示す)などには、この研磨では除去しきれなかった主導体膜22aが残存する。

【0198】次に、配線溝20aの外部の導電性バリア膜21aとその上面に局所的に残った主導体膜22aとを除去するために、基板1を、上記図52～図54に示した第1定盤31c1から第2定盤31c2に移し、砥粒を含む研磨液(スラリー)を使用した化学機械研磨(有砥粒化学機械研磨)(第2ステップのCMP)を行う。ここで砥粒化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5重量%よりも多いの研磨液を使用した化学機械研磨を意味する。本実施の形態では、研磨液として純水に5体積%の過酸化水素、0.03重量%のクエン酸および0.5重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この研磨液は、前記のスラリー供給管31uを通じて第2定盤31c2の研磨パッド31pに供給される。

【0199】また、この有砥粒化学機械研磨においては、導電性バリア膜21aの上面に局所的に残った主導体膜22aの除去に引き続いて、配線溝20aの外部の導電性バリア膜21aを除去する。そこで、導電性バリア膜21aに対する主導体膜22aの研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行い、配線溝20aの内部

の主導体膜 22a の表面が研磨されるのを抑制する。

【0200】研磨の条件は、一例として荷重＝120g/cm²、ウエハキャリア回転数＝30rpm、定盤回転数＝25rpm、スラリー流量＝150cc/minとし、研磨パッドは、ロデール社のIC1400を使用する。研磨量は導電性バリア膜 21a の膜厚相当分とし、研磨の終点は、導電性バリア膜 21a の膜厚および研磨速度から算出した時間によって制御する。

【0201】図57に示すように、上記の有砥粒化学機械研磨を行うことにより、配線溝 20a の外部の導電性バリア膜 21a は殆ど除去されて下層の絶縁膜 16d が露出するが、図58(a)、(b)に拡大して示すように、下地段差に起因して生じた絶縁膜 16d の窪み(矢印で示す)などには、上記の研磨で除去しきれなかった導電性バリア膜 21a が残存する。

【0202】次に、配線溝 20a の内部の主導体膜 22a の研磨を可能な限り抑制しつつ、配線溝 20a の外部の絶縁膜 16d 上に局所的に残った導電性バリア膜 21a を除去するための選択的化学機械研磨(第3ステップのCMP)を行う。この選択的化学機械研磨は、主導体膜 22a に対する導電性バリア膜 21a の研磨選択比が少なくとも5以上となる条件で行う。また、この化学機械研磨は、主導体膜 22a の研磨速度に対する絶縁膜 16d の研磨速度の比が1よりも大きくなる条件で行う。

【0203】上記選択的化学機械研磨を行うには、一般に前記有砥粒化学機械研磨で使用したような0.5重量%よりも多いの砥粒を含有する研磨液に防食剤を添加したものを使用する。防食剤とは、主導体膜 22a の表面に耐食性の保護膜を形成することによって研磨の進行を阻止または抑制する薬剤をいい、ベンゾトリアゾール(BTA)、BTAカルボン酸などのBTA誘導体、ドデシルメルカプタン、トリアゾール、トリルトリアゾールなどが使用されるが、特にBTAを使用した場合に安定な保護膜を形成することができる。

【0204】防食剤としてBTAを使用する場合、その濃度はスラリーの種類にもよるが、通常は0.001～1重量%、より好ましくは0.01～1重量%、さらに好ましくは0.1～1重量%(3段階)の添加で十分な効果が得られる。本実施の形態では、研磨液として前記第2ステップの有砥粒化学機械研磨で使用した研磨液に防食剤として0.1重量%のBTAを混合したものを使用するが、これに限定されるものではない。また、防食剤の添加による研磨速度の低下を避けるために、ポリアクリル酸、ポリメタクリル酸、これらのアンモニウム塩またはエチレンジアミン四酢酸(EDTA)などを必要に応じて添加してもよい。なお、このような防食剤を含むスラリーを使用した化学機械研磨については、本願発明者などによる特願平10-209857号、特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0205】この選択的化学機械研磨(第3ステップのCMP)は、前記の有砥粒化学機械研磨(第2ステップのCMP)が終了した後、引き続いて図52～図54に示したCMP装置の第2定盤31c2の上で行われる。防食剤を添加した研磨液は、前記のスラリー供給管31uを通じて研磨パッド31pの表面に供給される。研磨の条件は、一例として荷重＝120g/cm²、ウエハキャリア回転数＝30rpm、定盤回転数＝25rpm、スラリー流量＝190cc/minとする。

【0206】図59および図60(a)、(b)に示すように、上記の選択的化学機械研磨を行うことにより、配線溝 20a の外部の導電性バリア膜 21a がすべて除去され、配線溝 20a の内部に埋め込み配線 23a が形成される。

【0207】埋め込み配線 23a の形成が完了した上記基板1の表面には、砥粒などのパーティクルやCu酸化物などの金属粒子を含んだスラリー残渣が付着している。そこで、このスラリー残渣を除去するために、まず、前記図52に示すクリーン・ステーション31dにおいてBTAを含む純水で基板1を洗浄する。このとき、洗浄液に800kHz以上の高周波振動を加えて基板1の表面からスラリー残渣を遊離させるメガソニック洗浄を併用してもよい。次に、表面の乾燥を防ぐために基板1を湿潤状態に保持した状態で研磨処理部31aから後洗浄部31bに搬送し、第1洗浄部31i1において0.1重量%のNH₄OHを含む洗浄液を用いたスクラブ洗浄を行い、続いて第2洗浄部31i2において純水を用いたスクラブ洗浄を行う。前記のように、後洗浄部31bは、洗浄中の基板1の表面に光が照射することに起因して埋め込み配線 23a に腐食が発生するのを防ぐため、全体が遮光壁31mで覆われている。

【0208】上記スクラブ洗浄(後洗浄)が完了した基板1は、スピンドライヤ31jで乾燥された後、次工程へ搬送される。その後の工程は前記実施の形態1と同様である。図61は、上述した埋め込み配線 23a の形成プロセスの一部を示すフロー図である。これ以外の工程は、前記実施の形態1～4の各手段と同じである。

【0209】本実施の形態によれば、前記実施の形態1の場合よりさらにTDDB寿命を向上できる。図62は本実施の形態の場合のTDDB寿命を示したグラフである。本実施の形態の場合のデータはラインEで示している。参考のため、処理無し(ラインRef)と有砥粒の化学機械研磨の場合(実施の形態1)のデータ(ラインA)を同時に示している。なお、アンモニアプラズマ処理を行わず、砥粒フリーの化学機械研磨のみを行っただけでもラインFに示すようにTDDB特性が改善する。このように砥粒フリーの場合にTDDB寿命が向上するのは酸化シリコン膜に与えるダメージを低減できるためと考えられる。有砥粒の場合、スラリーには2～3μmの粒径(2次粒径)の砥粒(アルミナ等)が含まれる。こ

の砥粒によりマイクロスクラッチが生じ、酸化シリコン膜（絶縁膜 16d）の表面にダメージを与える。しかし、砥粒フリーの場合にはスラリに砥粒が含まれず、あるいは含まれていてもごく少数であるため、ダメージを大幅に軽減できる。このため、TDDDB特性が改善されたものと考えられる。

【0210】（実施の形態6）本実施の形態においては、前記実施の形態1のCMP後洗浄処理にける酸洗浄処理（図22の工程107）に際して、薬液として前記有機酸を用いるか、またはフッ酸と有機酸との混合薬液を用いる。これ以外は、前記実施の形態1～5と同じである。有機酸として、例えばクエン酸を用いた場合、たとえばブラシスクラブ洗浄を用い、クエン酸濃度を5%、洗浄時間を45秒の条件が選択できる。

【0211】このように有機酸洗浄を用いることにより、CMP等で生じた表面のダメージ層を除去することができる。これによりTDDDB寿命を向上できる。図63は、本実施の形態の場合のTDDDB寿命を示したグラフである。本実施の形態の場合のクエン酸を適用したデータはラインH、HF洗浄を適用したデータはラインIで示している。参考のため、処理無し（ラインRef）と前記実施の形態1のデータ（ラインA）を同時に示している。また、有機酸を用いた場合、下地に影響を与えずに金属イオンのみを除去できる効果もある。すなわち、Fe、K、Ca等の不純物を選択的に除去することができる。

【0212】（実施の形態7）図64～図66は、本発明の実施の形態である半導体集積回路装置の製造方法を示した平面図および断面図である。図64～図66では配線部のみ示している。

【0213】図64に示すように、前記実施の形態1と同様に埋め込み配線23aおよびキャップ膜用の絶縁膜19bを形成した後、その上に、酸化シリコン膜等からなる低誘電率の絶縁膜16eおよびTEOSを原料ガスに用いてプラズマCVD法により形成した酸化シリコン膜等からなる絶縁膜16fを形成する。

【0214】低誘電率の絶縁膜16eは、例えば水素シルセスキオキサン（Hydrogen Silsesquioxane）を原料とする無機系SOG膜、テトラアルコキシシラン（tetraalkoxy silane）+アルキルアルコキシシラン（alkylalkoxy silane）を原料とする有機系SOG膜といった塗布型絶縁膜や、プラズマCVD法で成膜するフロロカーボンポリマー膜など、比誘電率（ ϵ ）が3.0以下の酸化シリコン系絶縁膜によって構成する。このような低誘電率の酸化シリコン膜を用いることによって配線間寄生容量を低減し、半導体集積回路装置の動作速度の向上を推進できる。

【0215】次に、図65（a）に示すようなパターンで、図65（b）に示すように、スルーホール33を開く。スルーホール33の開口にはフォトリソグラフ

ィとエッチングを用いる。ところで、低誘電率の絶縁膜16eは、表面が粗な膜構造を有し、Si-OH結合を多く有する。このためその上層に形成する膜の膜質や界面状態が良くないことは経験的に判明している。また、導電性バリア膜（窒化チタン等）をそのまま未処理で成膜するとTDDDB特性が良くないことも経験的に判明している。そこで、次に、前記実施の形態で説明したアンモニアプラズマ処理をスルーホール33内部の絶縁膜16eの露出部に施す。これにより、表面のSi-OH結合が改質されて、前記実施の形態1で説明したようにSi-O-N結合に転換される。

【0216】次に、図66に示すように、スルーホール33内に、例えば窒化チタンおよびタングステンからなるプラグ34を形成する。この窒化チタンの堆積の際、実施の形態1と同様にSi-O-N結合が離脱し、窒化チタンと低誘電率の絶縁膜16eとの界面が改善され接着性が向上する。このようなスルーホール内のプラズマ処理は、配線溝にも適用できることはもちろんである。

【0217】また、アンモニアプラズマ処理に代えて水素プラズマ処理、窒素、アルゴン、ヘリウム等が混合されたプラズマ処理であっても良い。もちろん、前記したアンモニアプラズマ処理および水素プラズマ処理の両方を施しても良い。これにより、さらに効果を向上させることができる。これ以外は、前記実施の形態1～6と同じである。

【0218】なお、スルーホール33の開口後にフォトリソレジスト膜を除去するためのアッシング工程に置いて、スルーホール33底部の埋め込み配線23aの表面が酸化される場合がある。このような酸化層を除去する技術として、例えば特開平11-16912号公報に記載の技術がある。

【0219】（実施の形態8）上記のように、銅配線の実用化に際しては、銅の拡散を防止するためのバリア膜が必須と考えられているが、配線の微細化に連れて、配線断面積中に占める高抵抗のバリア膜の断面積が増加することにより配線抵抗が増加する結果、配線材料として銅を適用したメリットが薄れるという問題が発生する。

【0220】そこで、本発明者らは、銅の拡散現象について改めて実験を行い検討した。その結果、本発明者らは、前記したように銅の拡散現象について本質的なメカニズムを初めて見出した。図67は、前記各種の表面処理（アンモニアプラズマ処理、水素プラズマ処理、水素アニール処理、窒素プラズマ処理）および処理なし時の銅配線中のシリコンの含有量を示したグラフである。なお、この検査結果は、前記銅配線（TiN膜（バリア膜）を含む）の形成工程、前記洗浄工程（還元処理を含まない）、前記各種の表面処理工程（各単独のプラズマ処理のみ）、前記キャップ膜の形成工程および前記層間絶縁膜の形成工程後に行った検査により作成されたものである。また、酸素や硫黄等のような他の不純物におい

てもシリコンと同じような結果が得られると考えられる。

【0221】各種の表面処理における銅シリサイドは、前記したように主としてキャップ膜（窒化シリコン等）の成膜時のセッフローによるものである。この検査時点における水素アニール処理および窒素プラズマ処理においては、アンモニアプラズマ処理や水素プラズマ処理に比較して、銅配線の表面近傍（ $d=10\sim60\text{nm}$ 程度）および内部（ $d=90\sim300\text{nm}$ 程度）におけるSiの含有量が多い。特に、表面近傍において極めて多いことが分かる。これらの処理では、前記図21に示したように、TDDB特性が悪かった。

【0222】一方、この検査時点におけるアンモニアプラズマ処理や水素プラズマ処理においては、水素アニール処理および窒素プラズマ処理に比較して、銅配線の表面近傍および内部におけるシリコンの含有量が少ない。特に、表面近傍におけるシリコンの含有量が極めて少ない。すなわち、これらの処理では、銅配線における不純物の含有量が少ない上、配線溝が形成された絶縁膜の表面の清浄度が高く、また、配線溝が形成された絶縁膜の表面のダングリングボンド等が少ない。したがって、前記図21に示したように、TDDB特性が良好であった。このようにTiN膜（導電性バリア膜）がある場合において、TDDB特性は、界面の影響のみで決定される。

【0223】このような新しい見地から本発明者らは、配線溝内の側壁部および底部にイオン化されていない中性Cuを成膜すること（銅の純度を上げること）、前記アンモニアプラズマ処理または水素プラズマ処理を施すこと、あるいはこれらと前記CMP処理または洗浄処理等とを組み合わせることにより、バリア膜の膜厚を10nm未満に薄くしても、あるいは、バリア膜自体を無くしてしまっても、Cu配線を有する半導体集積回路装置のTDDB寿命を向上させることができることを初めて見出した。

【0224】ここで、図68に配線抵抗（ $TiN \cdot xnm / TiN \cdot 50nm$ 比）のTiN膜（バリア膜）厚の依存性を示す。同図は、配線幅が、例えば0.4 μm 程度および1.0 μm 程度、配線溝の深さが、例えば0.4 μm 程度の溝形状に対して、配線抵抗の実測値と理論値（計算値）とを示している。なお、TiN膜の膜厚は、配線溝の底部の膜厚とする。

【0225】この図68から、TiN膜（バリア膜）の厚さが薄くなるに連れて配線抵抗も減少し、計算値と実測値とがほぼ一致することが分かる。したがって、TiNの膜厚が、50nmの場合の配線抵抗と比較し、TiN膜が無い場合は、配線幅が0.4 μm 程度の場合で19%、配線幅が1.0 μm 程度の場合で15%程度、配線抵抗を大幅に低減できる。また、TiN膜の膜厚が10nm程度の場合でも、配線幅が0.4 μm 程度の場合

で16%、配線幅が1.0 μm 程度の場合で12%程度、配線抵抗を低減できることが分かる。

【0226】また、図69に、銅配線をロングスロースパッタリング法によって形成した場合におけるTDDB特性のTiN膜依存性を示す。同図からTiN膜の膜厚が10~50nm程度のTDDB特性は前述しているのと同等であることが分かる。一方、TiN膜が無い場合の試料のTDDB特性は、TiN膜が10~50nm程度のTDDB特性に比べて、傾きが緩くなるが新制度目標（例えば0.2MV/cm、110℃、10年=3×10⁸秒）を十分に越えることが分かる。

【0227】また、図70に、TiN膜が無い場合およびTiN膜の厚さが10nm程度で形成した場合における各々の銅配線における熱処理の有無によるTDDB特性を示す。同図から、TiN膜が無い試料でも、例えば400℃、3時間の熱処理でTDDB特性が劣化しないことが分かる。この図69および図70の評価結果から、TiN膜が無い場合、すなわち、銅のみで配線を構成した場合でも充分は信頼度を達成することができ、実用的なCu配線を形成することが可能であることが本発明者らの実験によって初めて判明した。なお、これについては、本発明者らによる特願2000-104015号に記載がある。

【0228】次に、本実施の形態の半導体集積回路装置の配線構造の具体例を図71に示す。図71は、半導体集積回路装置の配線部を抜き出して示した断面図であり、(a)はシングルダマシン法によって形成された箇所、(b)はデュアルダマシン法によって形成された箇所をそれぞれ示している。

【0229】なお、図71において、符号16g, 16iは、絶縁膜16aと同じ低誘電率の絶縁膜から選択された材料からなり、符号16h, 16jは、絶縁膜16bと同じ材料からなる。また、同図(b)においては、絶縁膜16c, 16dに第1層配線M1の上面一部が露出されるようなスルーホール35が形成されている場合が例示されている。符号19cは、例えば窒化シリコンからなる。

【0230】配線の幅（配線溝20aの幅）および隣接配線間隔（隣接配線の互いに対向する側面から側面までの距離）は、例えば0.4 μm 以下である。本発明者らが検討している配線幅および隣接配線間隔は、例えば0.25 μm 以下、あるいは0.2 μm 以下の配線構造を有する半導体集積回路装置である。配線溝42のアスペクト比は、例えば1である。

【0231】また、導電性バリア膜21aの厚さは、例えば10nm未満、好ましくは6~7nm程度である。本実施の形態においては、その膜厚を、例えば5nm以下、またはそれよりも薄い3nm以下、あるいはさらに薄い2nm程度としてもTDDB特性を向上させることができた。ここで言う導電性バリア膜21aの厚さは、

最も薄く被着される面部分を指している。すなわち、ここでは、前述したように配線開口部（配線溝 20a またはスルーホール 35）内の導電性バリア膜 21a の膜厚において側壁部が最も薄く被着されることから、その側壁部の導電性バリア膜 21a の厚さのことを指している。そして、さらに、その場合に、例えば次の 2通りの構造がある。1つは、配線開口部内の側壁部（溝や孔の底部角を含む）において、導電性バリア膜 21a が最も薄い部分の厚さが、上記厚さ（例えば 10 nm 未満、好ましくは 6~7 nm 程度、5 nm 以下、3 nm 以下、または 2 nm 程度）である。他の 1つは、配線開口部内の側壁部において、導電性バリア膜 21a の最も厚い部分の厚さが、上記厚さ（例えば 10 nm 未満、好ましくは 6~7 nm 程度、5 nm 以下、3 nm 以下、または 2 nm 程度）である。

【0232】上記のように厚さ 10 nm 未満の、導電性バリア膜 21a を形成したことにより、導電性バリア膜 21a の方が、絶縁膜 16b, 16c, 16d, 16g, 16h との密着性が銅膜よりも良いので、CMP 処理時に主導体膜 22a が剥離するのを防止できる。また、導電性バリア膜 21a を設けない場合（後の実施の形態で説明）に比べて配線抵抗は上昇するものの、信頼性の高い銅配線構造を実現できる。また、導電性バリア膜 21a を設けない場合に比べて TDD B 特性を向上させることができる。これは、導電性バリア膜 21a が全く無い場合、主導体膜 22a の成膜時に銅が配線溝 20a の側壁部に衝突し SiO₂ と反応する結果、銅イオンが僅かに発生するためと考えられる。熱処理後であっても TDD B 特性は劣化しないことから、その僅かな Cu/SiO₂ 界面の銅イオン層が影響していると考えられる。したがって、本実施の形態によれば、僅か 10 nm 未満の、導電性バリア膜 21a でもイオン化した銅に対してバリアとなり、TDD B 特性を向上させることができると考えられる。

【0233】また、主導体膜の銅以外の成分の濃度は、0.8 atomic % 以下または 0.2 atomic % 以下である。また、本発明者らの実測結果では、その銅以外の成分の濃度を、例えば 0.08 atomic % 以下、または、それよりも低い 0.05 atomic % 以下、あるいはそれよりもさらに低い 0.02 atomic % 以下にすることが可能であった。この銅以外の成分の濃度の値は、半導体チップが完成した時点、すなわち、ウエハプロセスを経て半導体ウエハから半導体チップが切り出された時点での値であって、その銅以外の成分が、銅配線形成後の絶縁膜や金属膜の成膜処理時等の熱（例えばタングステン等では成膜時に 450℃ 程度の熱が加わる）によって銅配線中に拡散したことを想定して算出した値である。実際の銅配線において、その銅以外の成分は、銅配線の上層部（キャップ膜が接する部分）の濃度が高く、銅配線の中心に向かって次第に薄く

なるような状態で分布していると考えられる。その銅以外の成分としては、例えばシリコン、酸素、硫黄（硫黄は銅配線をメッキ法で形成した場合に考えられる）またはそれらの任意の組合せがある。

【0234】なお、層間絶縁膜の材料として絶縁膜 16a などの低誘電率材料に代えて、酸化シリコン膜を用いることもできる。また、PSG 膜を用いた場合、Cu の拡散を防止する機能を有するので、TDD B 寿命をさらに向上させることが可能となる。したがって、半導体集積回路装置の信頼性をさらに向上させることが可能となる。

【0235】次に、このようなシングルダマシン法による銅配線構造の形成方法の一例を図 72~図 76 によって説明する。なお、図 72~図 76 の各々の (a) は、半導体集積回路装置の製造工程中の要部平面図を示し、(b) は各図 (a) の A-A 線の断面図を示している。また、図 72~図 75 の (a) は平面図であるが、図面を分かり易くするために金属膜にハッチングを付す。

【0236】まず、図 72 に示すように、配線溝 20a を形成する。配線溝 20a の底面からはプラグ 18 の上面が露出している。続いて、図 73 に示すように、例えばタンタル (Ta) からなる導電性バリア膜 21a を、例えば 30 nm 程度のデポ膜厚でスパッタリング法等によって堆積する。この際、配線溝 20a の側壁部には、最も厚い箇所と、または、最も薄い箇所と、例えば 10 nm 未満以下、6~7 nm 程度の導電性バリア膜 21a が被着される。なお、ここでは、導電性バリア膜をタンタルとしているが、前記したのと同様に、窒化チタン (TiN) やその他に例示した膜でも良い。

【0237】その後、導電性バリア膜 21a 上に、銅からなる主導体膜 422a を、例えば 300 nm 程度のデポ膜厚でスパッタリング法によって堆積する。この際の条件は、例えば次の通りである。圧力は、例えば 0.02 Pa、直流 (DC) パワーは、例えば 10 kW、ターゲットと基板 1 との距離は、例えば 300~400 mm、温度は、例えば室温である。

【0238】このように本実施の形態においては、主導体膜 22a をスパッタリング法によって堆積することにより、CVD 法やメッキ法に比べて、化合物の生成を非常に少なくすることができる。また、その際のターゲットとして、例えば 99.999% (5N) 以上、好ましくは、99.9999% (6N) 以上の純度の高い無酸素 Cu を用いた。これにより、例えば成膜時の主導体膜 22a 中の銅の濃度を 99.999% 以上、好ましくは、99.9999% 以上にできる。したがって、さらに純度の高い銅を堆積できる。

【0239】導電性バリア膜 21a および主導体膜 22a の堆積に際しては、通常のスパッタリング法でも良いが、ロングスロースパッタリング法やコリメートスパッタリング法のような指向性の高いスパッタリング法を

用いても良い。その場合、配線溝 20a への金属膜のカバレッジを向上させることができる。

【0240】次いで、水素アニール処理を施す。これにより、主導体膜 22a を配線溝 20a 内に良好に埋め込む。その際の条件は、例えば 475℃、3分、 $2.6 \times 10^2 \text{ Pa}$ 、 $500 \text{ cm}^3/\text{min}$ 程度である。

【0241】続いて、主導体膜 22a および導電性バリア膜 21a を、図 74 に示すように、前記実施の形態 1～7 で説明したのと同様の CMP 法等によって研磨し余分な部分を除去することにより、主導体膜 22a を形成する。続いて、前記実施の形態で説明したのと同様の防食プロセスおよび後洗浄処理を施す。その後、図 75 の網掛けのハッチングで示すように、絶縁膜 16d および主導体膜 22a の表面に対して、前記実施の形態 1～4 で説明したように水素プラズマ処理およびアンモニアプラズマ処理を施す。

【0242】アンモニアプラズマ処理を施すことにより、絶縁膜 16d 等の表面部分に、SiH 結合および SiN 結合が形成される結果、絶縁膜 16d の表面部分の膜質、清浄度および電気的な安定性を向上でき、銅の拡散防止性能を向上させることが可能となる。また、前記実施の形態 1 で説明したように、キャップ膜との接着性を向上させることも可能となる。また、主導体膜 22a の表面部分においては、窒化銅 (CuN) が形成され、その窒化銅が、後の工程でシリコンや酸素の結合を阻止するように作用する結果、銅シリサイドや酸化銅の形成を防止でき、銅の純度を向上させることが可能となる。したがって、銅の拡散を防止でき、TDD 寿命を向上させることが可能となる。また、銅の純度が高いので半導体チップとして完成された状態において銅配線の抵抗を目的通りに下げることができる。このため、半導体集積回路装置の性能を向上させることが可能となる。

【0243】また、水素プラズマ処理を施すことにより、絶縁膜 16d の表面部分で、SiH 結合が形成される結果、アンモニアプラズマ処理の場合とほぼ同じ効果が得られた。また、本発明者らの実験結果によれば、水素プラズマ処理においては、その後のキャップ膜の形成工程において銅が数%程度のシリコンと反応するが、水素アニール、窒素プラズマ処理あるいは無処理の場合に比べて、リーク電流を大幅に低減することができ、TDD 寿命を向上させることが可能であった。また、銅配線の抵抗は、水素アニールまたは窒素プラズマ処理の場合に比べて低下させることができた。

【0244】その後、図 76 に示すように、キャップ膜用の絶縁膜 19b を前記実施の形態 1 等と同様に堆積する。このようにし、図 71 (a) に示した配線構造を得る。

【0245】次に、デュアルダマシン法による銅配線構造の形成方法の一例を図 77～図 85 によって説明する。なお、図 77～図 85 の各々の (a) は、半導体集

積回路装置の製造工程中の要部平面図を示し、(b) は各図 (a) の A-A 線の断面図を示している。また、図 81～図 84 の (a) は平面図であるが、図面を分かり易くするために金属膜にハッチングを付す。

【0246】まず、図 77 に示すように、絶縁膜 16h 上に、反射防止膜 40 を塗布し、その上にフォトレジストパターン 41 を形成する。フォトレジストパターン 41 は、例えば平面円形状の孔を形成するためのマスクパターンであり、通常のフォトリソグラフィ技術によって形成されている。続いて、図 78 に示すように、フォトレジストパターン 41 をマスクとして、そこから露出する反射防止膜 40 をドライエッチング法によってエッチング除去した後、さらに、絶縁膜 19a をエッチングストップとして、下層の絶縁膜 16h、16g、16d、16c をドライエッチング法によってエッチング除去することにより、スルーホール 35 を形成する。この段階では、スルーホール 35 の底面からは絶縁膜 19a が露出されている。

【0247】次いで、フォトレジストパターン 41 および反射防止膜 40 をアッシング法等によって図 79 に示すように除去した後、再度、図 80 に示すように、反射防止膜 42 をスルーホール 35 内に埋め込まれるように絶縁膜 16h 上全面に塗布する。続いて、図 81 に示すように、反射防止膜 42 上に、フォトレジストパターン 43 を形成する。フォトレジストパターン 43 は、例えば平面帯状の配線溝を形成するためのマスクパターンであり、通常のフォトリソグラフィ技術によって形成されている。その後、図 82 に示すように、フォトレジストパターン 43 をマスクとして、そこから露出する反射防止膜 42 をドライエッチング法によってエッチング除去した後、さらに、窒化シリコン等からなる絶縁膜 19c をエッチングストップとして、絶縁膜 16h、16g をドライエッチング法によってエッチング除去することにより、配線溝 20a を形成する。この段階では、配線溝 20a の底面からは絶縁膜 19c が露出されている。

【0248】次いで、フォトレジストパターン 43 および反射防止膜 42 をアッシング法等によって図 83 に示すように除去した後、配線溝 20a およびスルーホール 35 の底部に露出される絶縁膜 19a、19c を選択的に除去する。このエッチング処理では、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を大きくし、窒化シリコン膜の方が酸化シリコン膜よりもエッチング除去され易い条件でエッチングする。これにより、図 84 に示すように、配線溝 20a およびスルーホール 35 の底面から絶縁膜 16d および第 1 層配線 M1 の一部を露出させる。これは、第 1 層配線 M1 と上層埋め込み配線との電気的な接続をとるためである。また、酸化シリコン膜よりも誘電率の高い窒化シリコン膜 (絶縁膜 19a、19c) を可能な限り減らすことで、配線容量の低減を図るためでもある。このようにして、配線溝 20a

およびスルーホール 35 を形成する。

【0249】次いで、図 85 に示すように、例えばタンタル (Ta) からなる導電性バリア膜 21a を、前記と同様の条件でスパッタリング法によって堆積する。この際、配線溝 20a およびスルーホール 35 の側壁部には、最も厚い箇所、または、最も薄い箇所、例えば 10 nm 未満以下、6~7 nm 程度の導電性バリア膜 21a が被着される。なお、ここでも、導電性バリア膜を Ta としているが、前記したのと同様に、TiN やその他に例示した膜でも良い。

【0250】続いて、導電性バリア膜 21a 上に、銅からなる主導体膜 22a を、例えば 150 nm 程度のデポ膜厚でスパッタリング法によって堆積する。その際のターゲットとして、例えば 99.999% (5N) 以上、好ましくは、99.9999% (6N) 以上の純度の高い無酸素銅を用いた。これにより、例えば成膜時の主導体膜 22a 中の銅の濃度を 99.999% 以上、好ましくは、99.9999% 以上にできる。したがって、銅配線の底面および側面部に純度の高い銅を堆積できる。

【0251】続いて、さらに、電解メッキ法等によって銅からなる主導体膜 22a を形成することで主導体膜 22a の設計膜厚を得る。銅を電解メッキ法によりスルーホール 35 内に埋め込む時の条件は、例えば電流密度が 0.5~1.0 A/dm²、40 秒程度である。また、銅を配線溝 20a 内に埋め込む時の条件は、例えば電流密度が 1.0~2.0 A/dm²、140 秒程度である。

【0252】次いで、上記シングルダマシンの場合と同様に水素アニール処理を施す。なお、この処理は場合によって無くても良い。続いて、主導体膜 22a および導電性バリア膜 21a を、図 86 に示すように、前記と同様の CMP 法等によって研磨し余分な部分を除去することにより埋め込み配線 23a を形成した後、前記と同様の防食プロセスおよび後洗浄処理を施す。その後、図 87 の網掛けのハッチングで示すように、絶縁膜 16h および埋め込み配線 23a の表面に対して、前記実施の形態 1~4 で説明したアンモニアプラズマ処理および水素プラズマ処理を施す。これにより、上記シングルダマシンの場合と同様の効果を得ることができた。

【0253】その後、図 88 に示すように、絶縁膜 19b を前記実施の形態 1 等と同様に堆積して、図 71 (b) に示した配線構造を得た。

【0254】このような本実施の形態では、上記本実施の形態の構成で得られる効果の他、前記実施の形態 1~7 と同じ構成部分については、前記実施の形態 1~7 で説明したのと同じ効果を得ることが可能となる。

【0255】(実施の形態 9) 本実施の形態の半導体集積回路装置の配線構造の具体例を図 89 に示す。図 89 は、半導体集積回路装置の配線部を抜き出して示した断

面図であり、(a) はシングルダマシンの法によって形成された箇所、(b) はデュアルダマシンの法によって形成された箇所をそれぞれ示している。

【0256】本実施の形態においては、導電性バリア膜が形成されていない。すなわち、配線溝 20a またはスルーホール 35 内には、銅のみが埋め込まれている。したがって、埋め込み配線 23a の側壁部および底部は、ほぼ直接に絶縁膜 16b~16d と直接接した状態とされる。また、埋め込み配線 23a の銅以外の成分の濃度や分布は、前記実施の形態 8 で説明したのと同じである。また、配線の幅 (配線溝 20a の幅) および隣接配線間隔 (隣接配線の互いに対向する側面から側面までの距離) 等、各寸法は、前記実施の形態 8 の図 71 で説明したのと同じである。

【0257】このような本実施の形態においても、前記実施の形態 8 で説明したように、TDDDB 寿命を向上させることができた。したがって、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。また、本実施の形態においては、導電性バリア膜が設けられておらず、配線溝 20a やスルーホール 35 内には銅からなる主導体膜 22a のみが埋め込まれているので、配線抵抗を大幅に向上させることが可能となっている。また、異層配線間が導電性バリア膜 (Ta や TiN 等) を介さずに直接接続される (ここでは、埋め込み配線 23a と第 1 層配線 M1 とが直接接続される構造を例示したが、配線層の異なる銅配線同士が直接接続される場合もある) ので、その異層配線間の接触抵抗を大幅に低減させることができ、微細なスルーホールでの抵抗を低減させることが可能となっている。したがって、配線溝 20a やスルーホール 35 が微細化されたとしても半導体集積回路装置の性能を向上させることが可能となる。

【0258】このような銅配線構造の形成方法は、前記実施の形態 8 で説明したのと同じである。この場合は、図 72 または図 84 の配線開口部 (配線溝 22a やスルーホール 35) の形成工程後、主導体膜の堆積工程前に、水素プラズマ処理、アンモニアプラズマ処理、窒素、アルゴン、ヘリウム等が混合されたプラズマ処理あるいは水素プラズマ処理およびアンモニアプラズマ処理を施すことが好ましい。

【0259】前記したように、アンモニアプラズマ処理を施した場合には、絶縁膜 16b, 16c, 16d, 16g, 16h の表面 (配線溝 22a やスルーホール 35 内も含む) に、SiH 結合および SiN 結合が形成される (例えば厚さ 10 nm 未満の薄い窒化シリコン膜が形成される)。また、水素プラズマ処理を施した場合には、絶縁膜 16b, 16c, 16d, 16g, 16h の表面 (配線溝 22a やスルーホール 35 内も含む) に、SiH 結合が形成される。これにより、前記実施の形態 7 で説明したように、絶縁膜 16d, 16h の上面およ

び配線溝 20a およびスルーホール 35 内の絶縁膜 16d, 16c, 16h, 16g の表面部分の膜質、清浄度、電気的な安定性を向上でき、銅の拡散防止性能を向上させることが可能となる。また、前記実施の形態 1 で説明したのと同様に、絶縁膜 16d, 16h とキャップ膜（絶縁膜 19b）との接着性を向上させることも可能となる。なお、前記実施の形態 7 で説明したように、アンモニアプラズマ処理を施した後、軽くドライエッチング処理を施すことにより、第 1 層配線 M1 の上部に形成された窒化膜（この場合は WN 膜）を除去しても良い。このような方法を採用した場合、埋め込み配線 23a の側壁部および底部は、配線溝 20a およびスルーホール 35 内に形成された薄い窒化シリコン膜に直接接した状態とされる。

【0260】このような本実施の形態では、上記本実施の形態 1～8 の構成で得られる効果の他、以下の効果を得ることが可能となる。すなわち、導電性バリア膜を設けないことにより、銅からなる埋め込み配線 23a の抵抗や異層配線接続部での接触抵抗を大幅に低減させることが可能となる。したがって、半導体集積回路装置の性能を向上させることが可能となる。

【0261】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0262】前記実施の形態では、キャップ膜を後処理（プラズマ処理）後に真空破壊することなく連続的に形成する場合について説明したが、後処理の後、一旦真空破壊をして、その後、キャップ膜を形成しても良い。真空破壊しない方が本発明の効果をより効果的に奏することができるが、後処理におけるアンモニアプラズマ処理により薄い窒化層が形成されるため、真空破壊を行い大気雰囲気暴露しても酸化層の形成を抑制できる。よって、真空破壊した場合であっても、本実施の形態の効果をある程度奏することは可能である。

【0263】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である CMI-S-LSI 技術に適用した場合について説明したが、それに限定されるものではなく、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) または FRAM (Ferroelectric Random Access Memory) 等のようなメモリ回路を有する半導体集積回路装置、マイクロプロセッサ等のような論理回路を有する半導体集積回路装置または上記メモリ回路と論理回路とを同一半導体基板上に設けている混載型の半導体集積回路装置にも適用できる。本発明は、少なくとも微細銅配線構造を有する半導体集積回路装置、半導体装置、電子回路装置、電子装置またはマイクロマシンの製造方法等に適用可能

である。

【0264】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、半導体基板上の第 1 の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後であって、その第 1 の絶縁膜および配線上に第 2 の絶縁膜を堆積する前に、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程および前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することにより、銅を主導電層とする配線間の絶縁破壊耐性を向上させることが可能となる。

(2). 本発明によれば、半導体基板上の第 1 の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後であって、その第 1 の絶縁膜および配線上に第 2 の絶縁膜を堆積する前に、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程および前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することにより、配線上にシリサイドや酸化銅が形成されるのを抑制または防止できるので、銅を主導電層とする配線の抵抗の増大を防止することが可能となる。

(3). 本発明によれば、半導体基板上の第 1 の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後であって、その第 1 の絶縁膜および配線上に第 2 の絶縁膜を堆積する前に、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程および前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することにより、銅を主導電層とする配線とキャップ膜との密着性を向上させることが可能となる。

(4). 本発明によれば、半導体基板上の第 1 の絶縁膜に形成された配線開口部内に銅を主導電層として含む配線を研磨法により形成した後、前記半導体基板に対して、アルカリ性溶液を用いた洗浄処理、還元性処理および前記酸性溶液を用いた洗浄処理を順に施す工程、前記第 1 の絶縁膜および前記配線上に第 2 の絶縁膜を堆積する工程を有することにより、研磨工程等に配線露出部に形成された酸化銅、酸性洗浄前に還元することができるので、銅を主導電層とする配線の抵抗の増大を防止することが可能となる。

【図面の簡単な説明】

【図 1】本願の TDD B 寿命測定に使用した試料を示し、(a) は平面図、(b) および (c) は (a) における B-B' 線断面および C-C' 線断面を各々示す説明図である。

【図 2】測定の概要を示した概念図である。

【図 3】電流電圧測定結果の一例である。

【図 4】導電性バリア膜の配線溝または接続孔内におけるカバレッジの説明図である。

【図 5】(a), (b) は、発明者らが検討した技術の課題を説明するための埋め込み配線の断面図である。

【図 6】発明者らが検討した技術の課題を説明するための埋め込み配線の断面図である。

【図 7】銅配線、アルミニウム配線、タングステン配線の TDD B 特性を測定したデータを示すグラフである。

【図 8】TDD B 寿命を示すグラフである。

【図 9】TDD B 寿命を示すグラフである。

【図 10】(a) ~ (d) は、XPS データを示すグラフである。

【図 11】(a) ~ (d) は、XPS データを示すグラフである。

【図 12】(a) ~ (d) は、XPS データを示すグラフである。

【図 13】(a) ~ (e) は、XPS データを示すグラフであり、(f) は組成比を示す表図である。

【図 14】(a) ~ (d) は、質量分析結果を示すグラフである。

【図 15】(a) ~ (d) は、質量分析結果を示すグラフである。

【図 16】配線抵抗を示すグラフである。

【図 17】(a) は処理無しの場合における配線部分を示す TEM 写真をトレースした断面図、(b) はアンモニアプラズマ処理を施した場合における配線部分を示す TEM 写真をトレースした断面図である。

【図 18】(a) ~ (c) は、比較として示す TEM 写真をトレースした断面図である。

【図 19】(a) および (b) は TDD B 劣化のメカニズムを示す説明図である。

【図 20】(a) および (b) は TDD B 向上のメカニズムを示す説明図である。

【図 21】TDD B 寿命を示すグラフである。

【図 22】本発明の一実施の形態である半導体集積回路装置の製造方法を示すフロー図である。

【図 23】(a) は本発明の一実施の形態の半導体集積回路装置の製造工程中における要部平面図、(b) は (a) の X-X 線の断面図である。

【図 24】(a) は図 23 に続く半導体集積回路装置の製造工程中における要部平面図、(b) は (a) の X-X 線の断面図である。

【図 25】図 24 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 26】図 25 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 27】図 26 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 28】図 27 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 29】TDD B 特性の結果を示すグラフである。

【図 30】配線抵抗の水素アニール依存性を示すグラフである。

【図 31】図 28 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 32】図 31 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 33】図 32 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 34】水素プラズマ処理およびアンモニアプラズマ処理を組み合わせで行った時の TDD B 特性を示すグラフである。

【図 35】半導体集積回路装置の一例の要部断面図である。

【図 36】本発明の一実施の形態で用いた CMP 装置の全体構成例の説明図である。

【図 37】図 36 の CMP 装置における研磨処理部の構成例の説明図である。

【図 38】図 36 の CMP 装置における後洗浄処理部の構成例の説明図である。

【図 39】図 38 の後洗浄処理部のブラシの説明図である。

【図 40】(a) および (b) は、他の後洗浄処理方式の説明図である。

【図 41】(a) および (b) は、さらに他の後洗浄処理方式の説明図である。

【図 42】(a) および (b) は、本発明の一実施の形態で用いたプラズマ処理装置の全体構成例の説明図である。

【図 43】本発明の他の実施の形態である半導体集積回路装置の製造方法のフロー図である。

【図 44】本発明の他の実施の形態である半導体集積回路装置の製造方法のフロー図である。

【図 45】本発明の他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 46】本発明の他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 47】本発明の他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 48】本発明の他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 49】本発明の他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 50】本発明の他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 51】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一部のフロー図である。

【図 52】本発明の他の実施の形態である半導体集積回路装置の製造方法に用いる CMP 装置の全体構成の一例を示す説明図である。

【図 5 3】埋め込み配線の形成に用いる CMP 装置の一部を示す説明図である。

【図 5 4】銅からなる主導体膜の研磨状態を示す CMP 装置の説明図である。

【図 5 5】本発明の他の実施の形態における半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図 5 6】(a)は、図 5 5 に続く半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は(a)の要部断面図である。

【図 5 7】図 5 6 に続く半導体集積回路装置の製造工程中の半導体基板の要部断面図である。

【図 5 8】(a)は、図 5 7 に続く半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は(a)の要部断面図である。

【図 5 9】図 5 8 に続く半導体集積回路装置の製造工程中の半導体基板の要部断面図である。

【図 6 0】(a)は、図 5 9 に続く半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は(a)の要部断面図である。

【図 6 1】図 5 2 ～ 図 6 0 で説明した半導体集積回路装置の製造方法を示すフロー図である。

【図 6 2】TDD B 寿命を示すグラフである。

【図 6 3】TDD B 寿命を示すグラフである。

【図 6 4】本発明の他の実施の形態である半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図 6 5】(a)は、図 6 4 に続く半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は(a)の要部断面図である。

【図 6 6】図 6 5 に続く半導体集積回路装置の製造工程中の半導体基板の要部断面図である。

【図 6 7】各処理を行った際の銅配線中に含まれるシリコンの量を示すグラフである。

【図 6 8】埋め込み銅配線の抵抗における導電性バリア膜厚さ依存性を示すグラフである。

【図 6 9】TDD B 特性の導電性バリア膜厚さ依存性を示すグラフである。

【図 7 0】導電性バリア膜が無い場合および厚さ 10 nm 未満の場合におけるアニール処理後の TDD B 特性を示すグラフである。

【図 7 1】(a)および(b)は、本発明の他の実施の形態である半導体集積回路装置の銅埋め込み配線層の要部断面図である。

【図 7 2】(a)は本発明の実施の形態である半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 3】(a)は図 7 2 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 4】(a)は図 7 3 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 5】(a)は図 7 4 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 6】(a)は図 7 5 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 7】(a)は本発明の実施の形態である半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 8】(a)は図 7 7 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 7 9】(a)は図 7 8 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 0】(a)は図 7 9 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 1】(a)は図 8 0 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 2】(a)は図 8 1 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 3】(a)は図 8 2 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 4】(a)は図 8 3 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 5】(a)は図 8 4 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 6】(a)は図 8 5 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 7】(a)は図 8 6 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 8】(a)は図 8 7 に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)の A-A 線の断面図である。

【図 8 9】(a)および(b)は、本発明のさらに他の実施の形態である半導体集積回路装置の銅埋め込み配線層の要部断面図である。

【符号の説明】

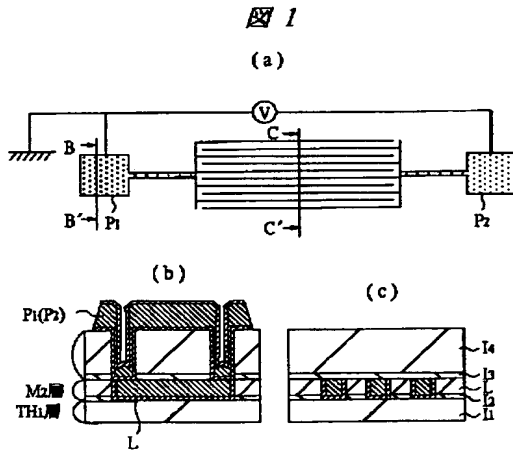
1 半導体基板

- 2 素子分離溝
- 3 絶縁膜
- 4 p型ウエル
- 5 n型ウエル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 ゲートキャップ膜
- 9 サイドウォール
- 10 a n⁺型半導体領域
- 10 b n⁺型半導体領域
- 11 a p⁺型半導体領域
- 11 b p⁺型半導体領域
- 12 シリサイド層
- 13 絶縁膜
- 14 a～14 c コンタクトホール
- 15 プラグ
- 16 a, 16 b 絶縁膜
- 17 スルーホール
- 18 プラグ
- 19 a, 19 b 絶縁膜
- 20 a 配線溝 (配線開口部)
- 21 a 導電性バリア膜 (第1の導体膜)
- 22 a 主導体膜 (第2の導体膜)
- 23 a 埋め込み配線
- 25 CMP装置
- 25 a ローダ
- 25 b 研磨処理部
- 25 c 研磨処理部
- 25 d 防食処理部
- 25 e 侵漬処理部
- 25 f 後洗浄処理部
- 25 f 1 第1後洗浄処理部
- 25 f 2 還元処理部
- 25 f 3 第2洗浄処理部
- 26 a 筐体
- 26 b 回転軸
- 26 c モータ
- 26 d 研磨盤
- 26 e 研磨パッド
- 26 f ウエハキャリア
- 26 f 1 凹部
- 26 g 駆動軸
- 26 h スラリ供給管
- 26 i ドレッサ
- 26 j 駆動軸
- 27 スクラブ洗浄装置
- 27 a モータ
- 27 b ステージ
- 27 c ブラシ
- 27 c 1 突起
- 28 ディスクブラシ
- 29 ペンブラシ
- 30 a ロードロック室
- 30 b 1 処理室
- 30 b 2 処理室
- 30 c カセットインタフェース
- 30 d ロボット
- 30 e ゲートバルブ
- 30 f サセプタ
- 30 g バッフル板
- 30 h 支持部材
- 30 i 電極
- 30 j 絶縁板
- 30 k 反射ユニット
- 30 m ランプ
- 30 n 赤外線
- 30 p 石英窓
- 30 q ガスポート
- 30 r 真空マニホールド
- 31 CMP装置
- 31 a 研磨処理部
- 31 b 後洗浄部
- 31 c 1 第1定盤
- 31 c 2 第2定盤
- 31 d クリーン・ステーション
- 31 g 回転アーム
- 31 e ローダ
- 31 f アンローダ
- 31 h ローダ
- 31 i 1 第1洗浄部
- 31 i 2 第2洗浄部
- 31 j スピンドライヤ
- 31 k アンローダ
- 31 n 駆動機構
- 31 p 研磨パッド
- 31 q 駆動機構
- 31 r ウエハキャリア
- 31 s ウエハチャック
- 31 t リテーナリング
- 31 u スラリ供給管
- 31 v 駆動機構
- 31 w ドレッサ
- 31 m 遮光壁
- 33 スルーホール (配線開口部)
- 34 プラグ
- 35 スルーホール (配線開口部)
- 40 反射防止膜
- 41 フォトレジストパターン
- 42 反射防止膜
- 43 フォトレジストパターン

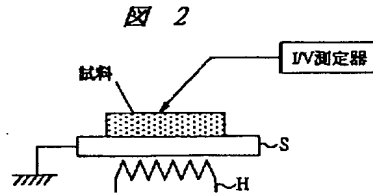
65, 65a, 65b 埋め込み配線
 66 絶縁膜
 67 配線溝
 68 キャップ膜
 M1 第1層配線
 M2 第2層配線
 M3 第3層配線

M4 第4層配線
 M5 第5層配線
 M6 第6層配線
 M7 第7層配線
 Qp pチャネル型MISFET
 Qn nチャネル型MISFET

【図1】

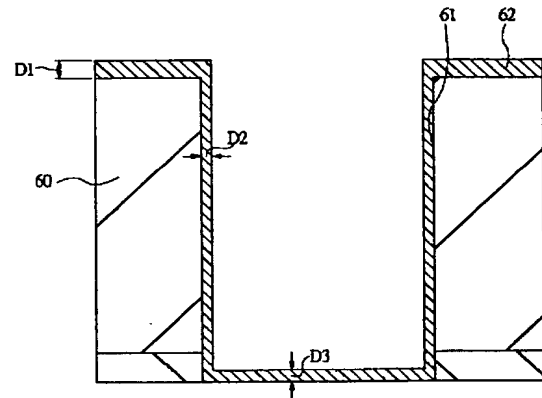


【図2】



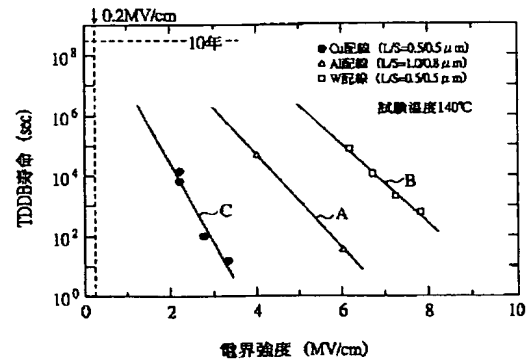
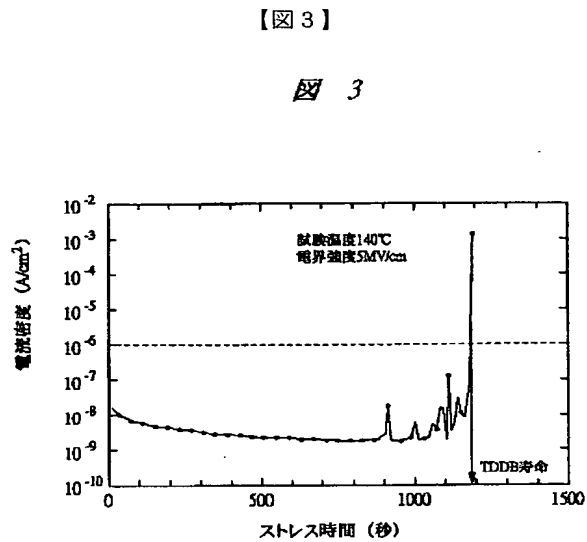
【図4】

図4



【図7】

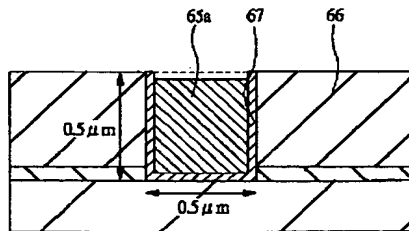
図7



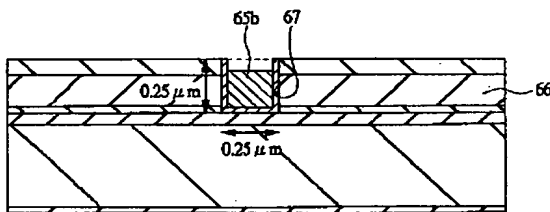
【図5】

図 5

(a)

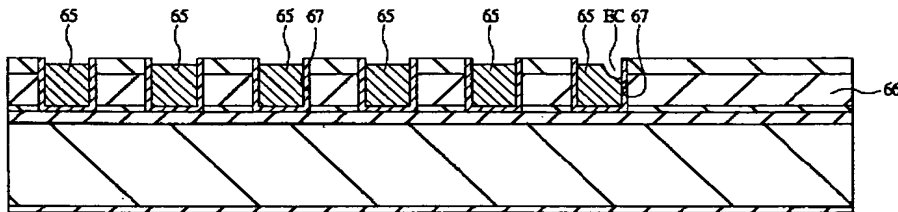


(b)



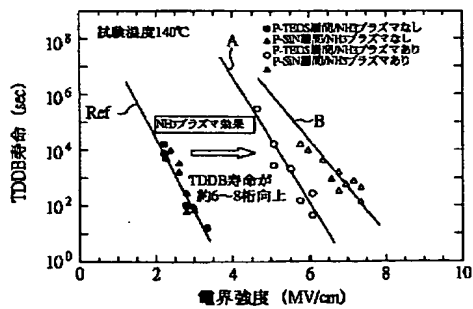
【図6】

図 6



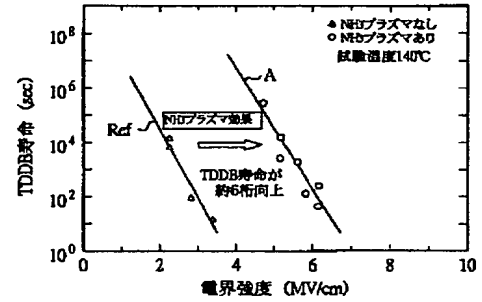
【図9】

図 9



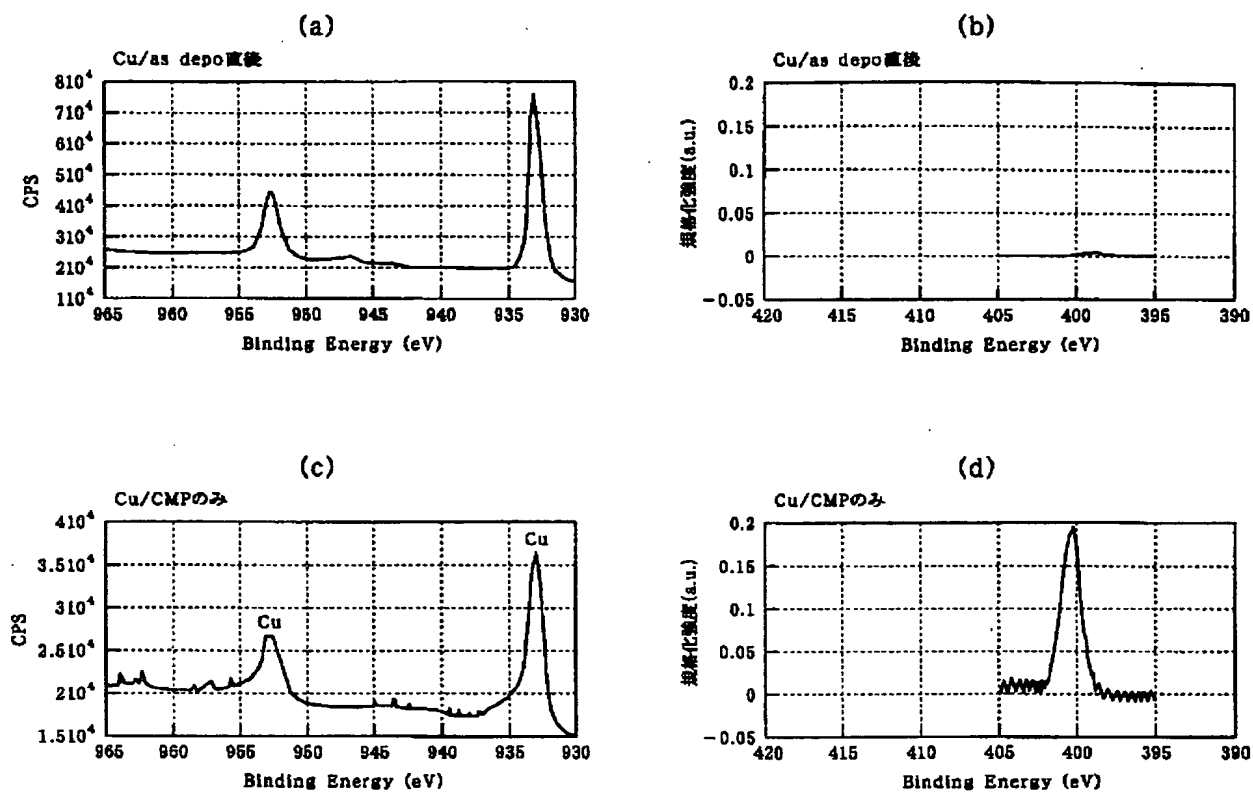
【図8】

図 8



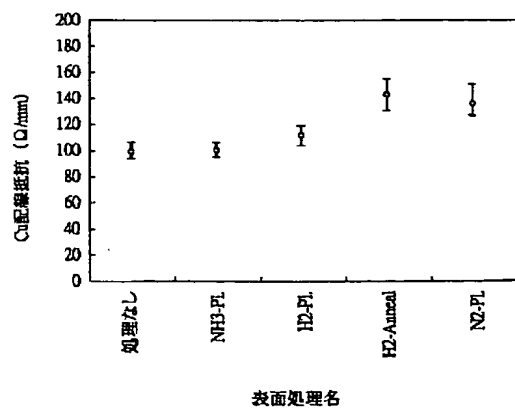
【図10】

図 10



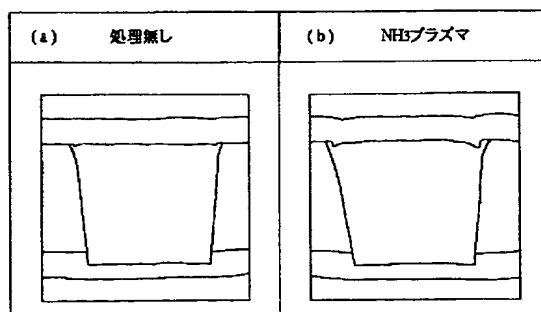
【図16】

図 16



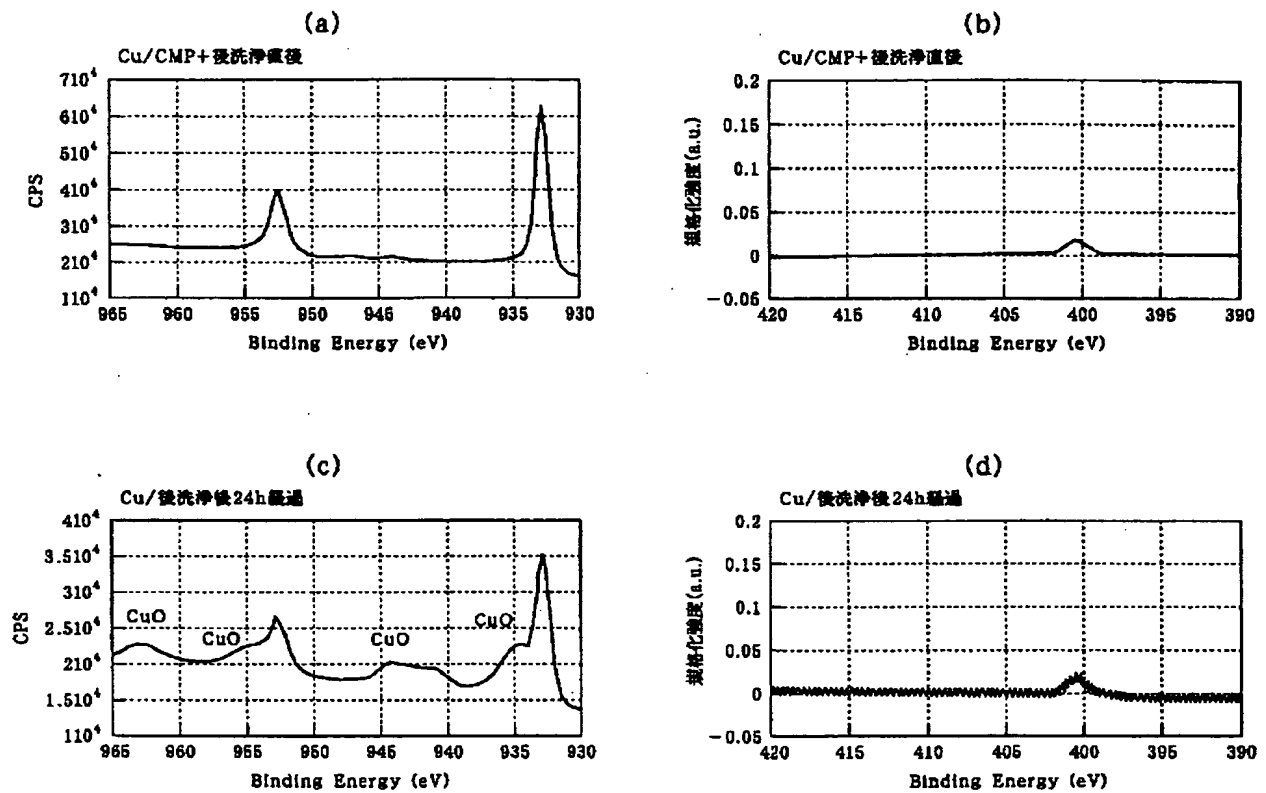
【図17】

図 17



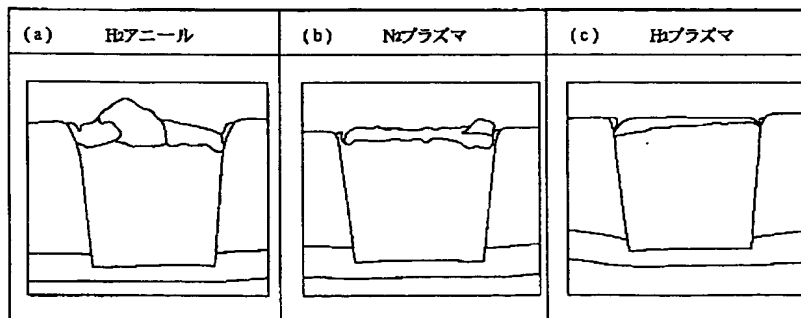
【図11】

図 11



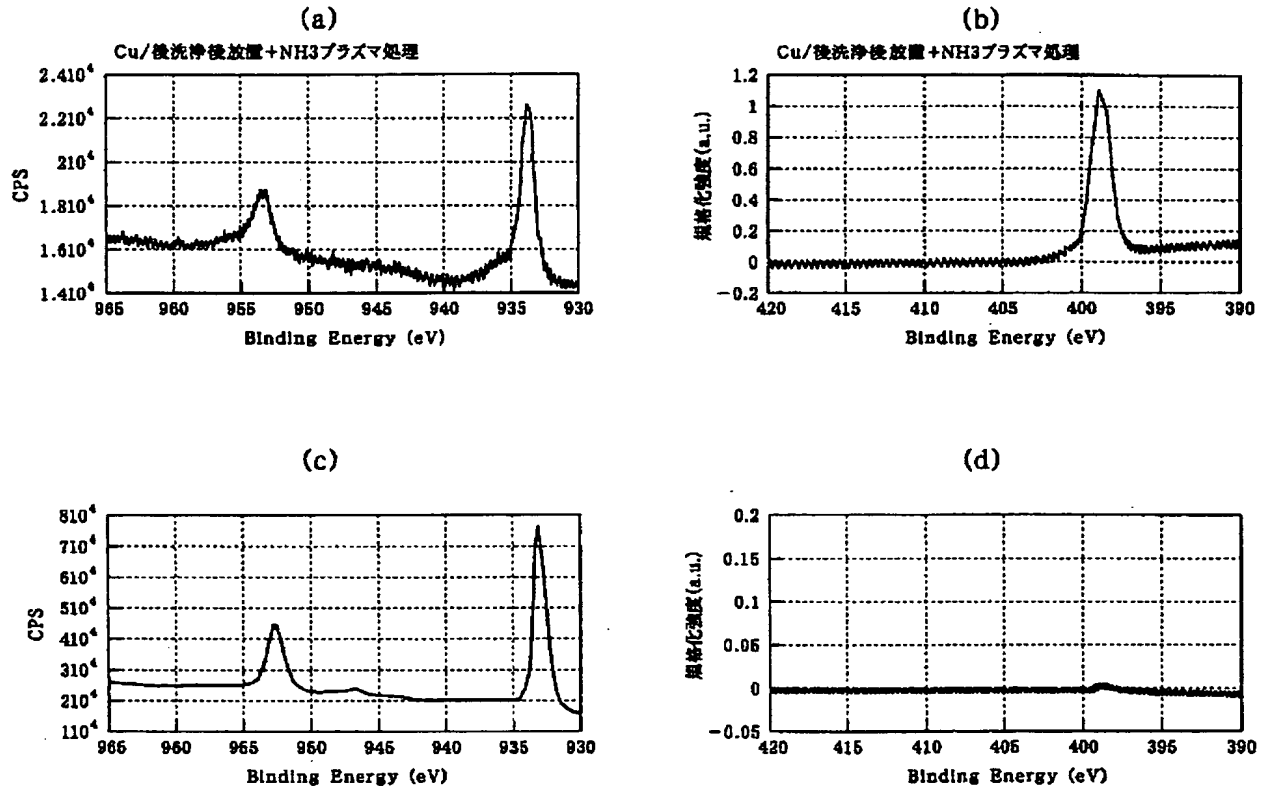
【図18】

図 18



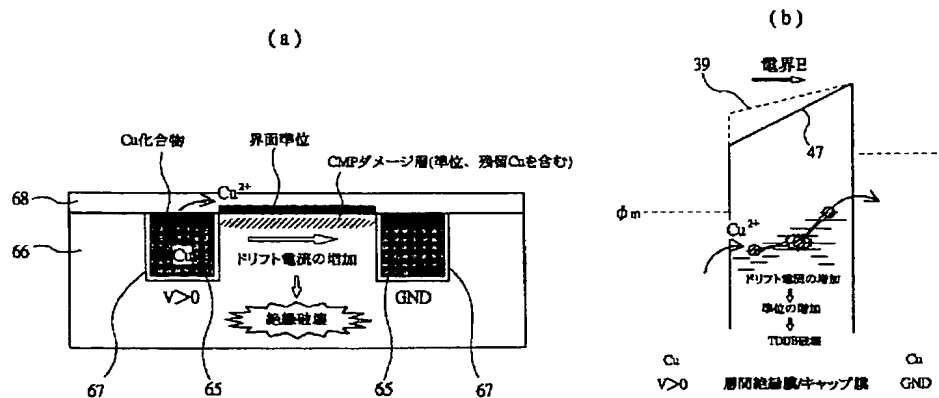
【図12】

図 12



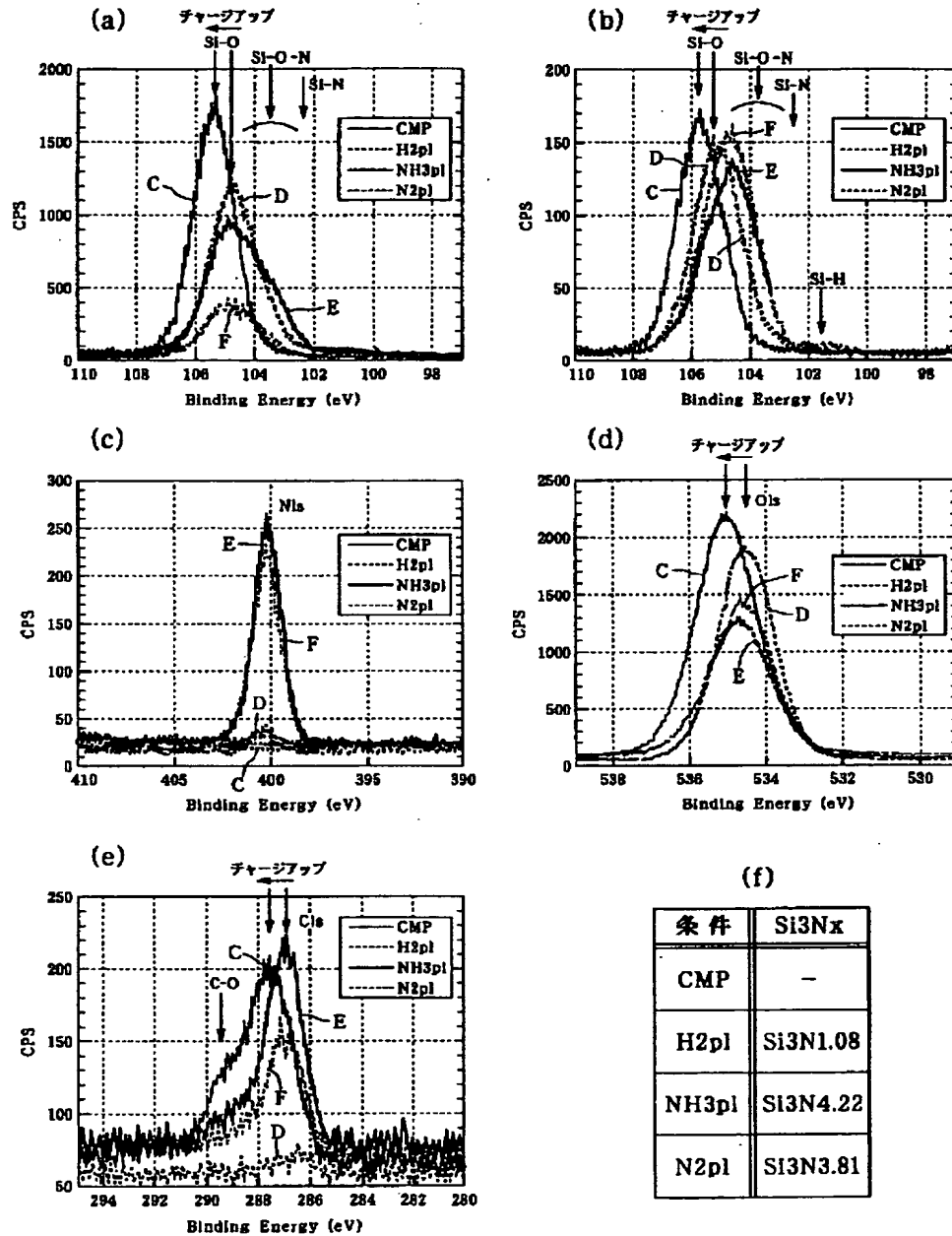
【図19】

図 19



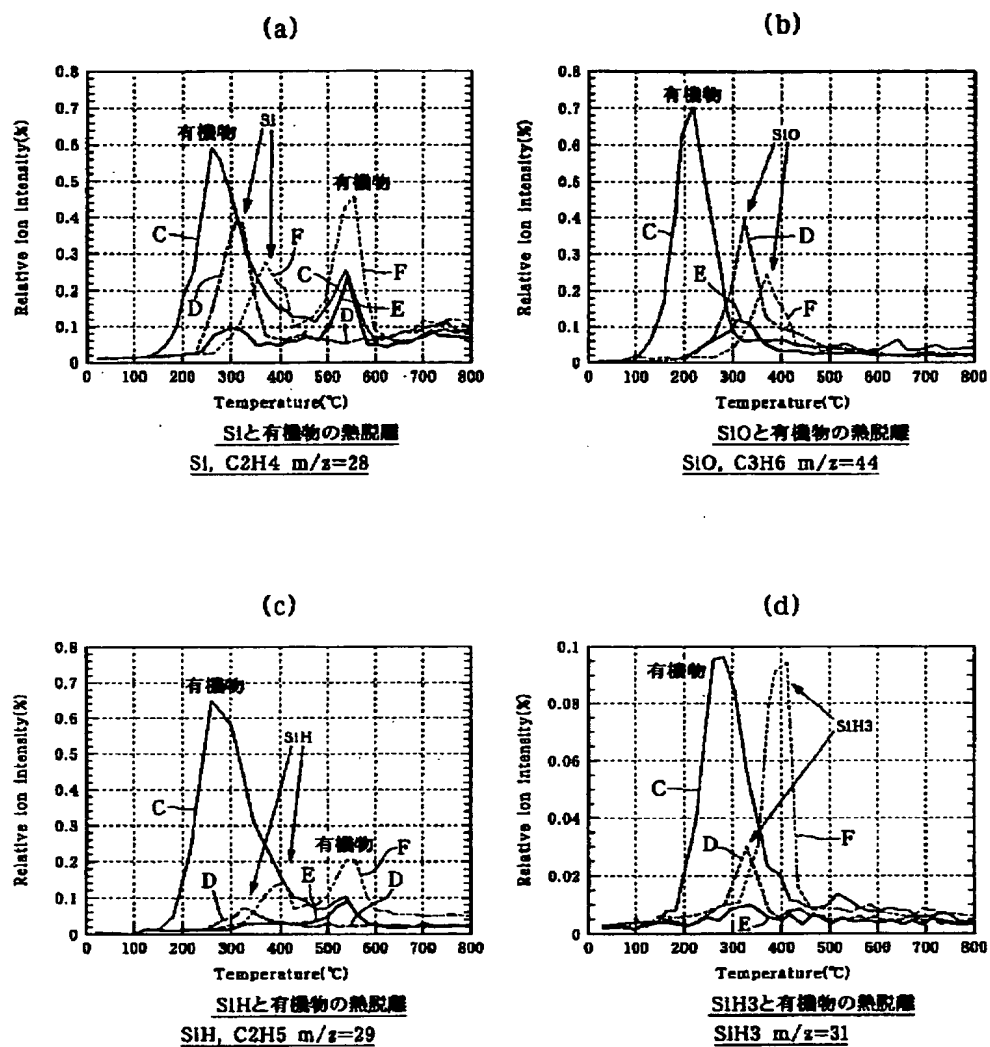
【図13】

図 13



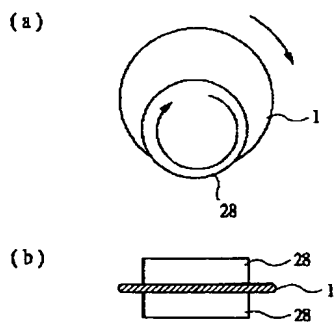
【図15】

図 15



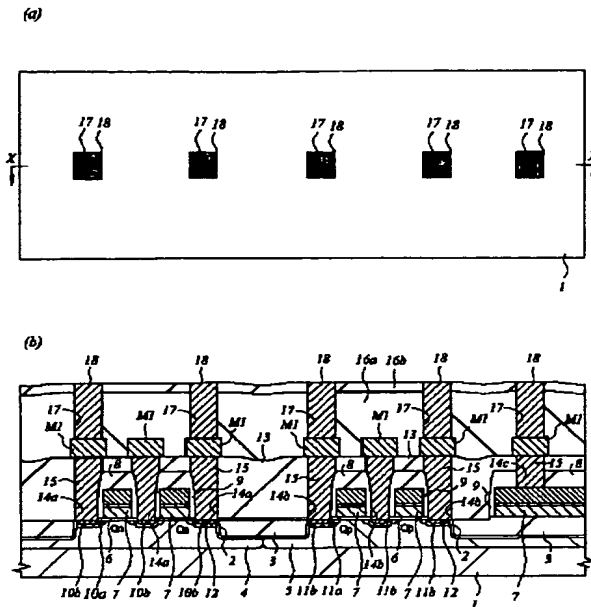
【図40】

図 40



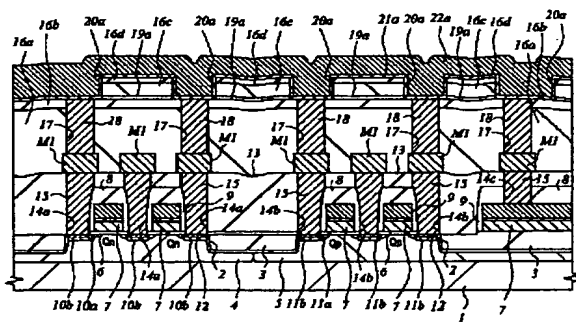
【図 23】

図 23



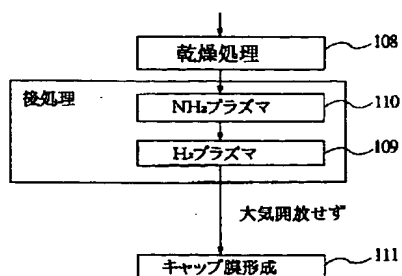
【図 25】

図 25



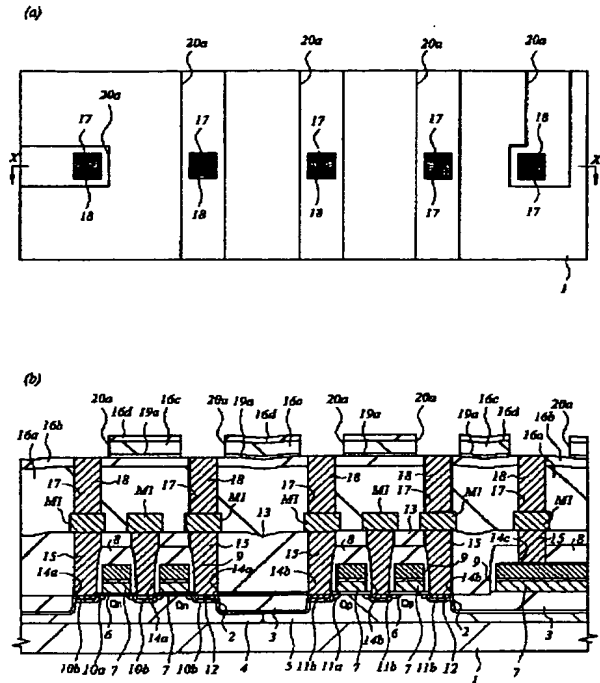
【図 45】

図 45



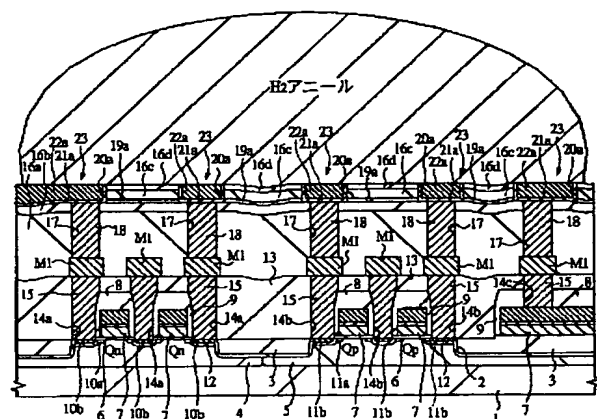
【図 24】

図 24



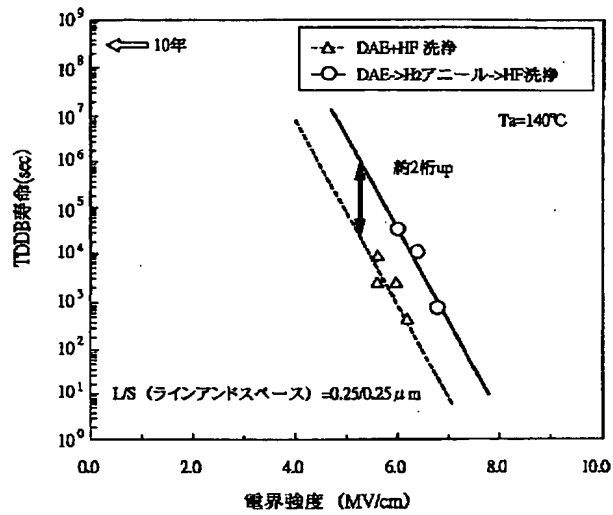
【図 27】

図 27



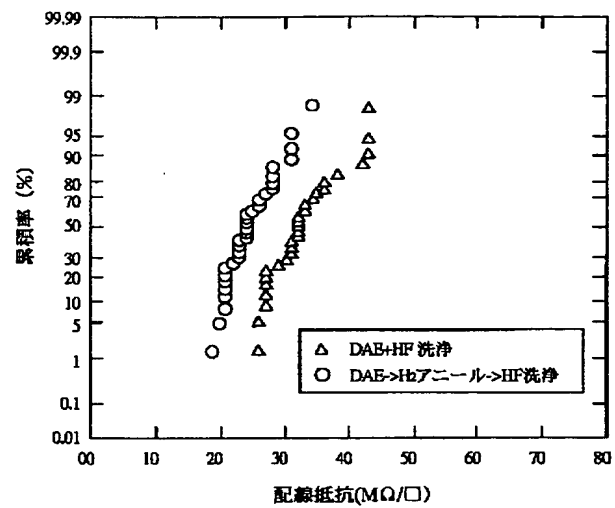
【図29】

図 29



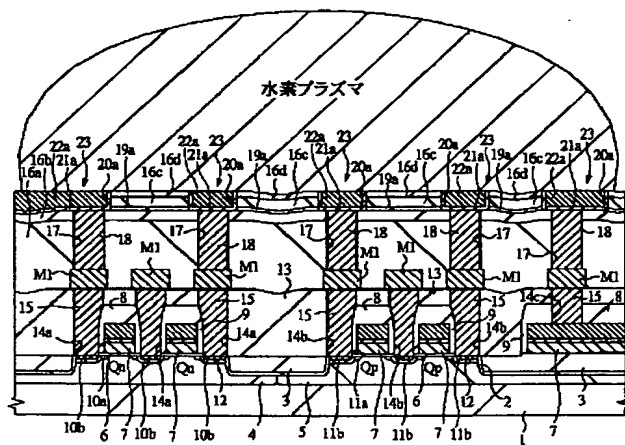
【図30】

図 30



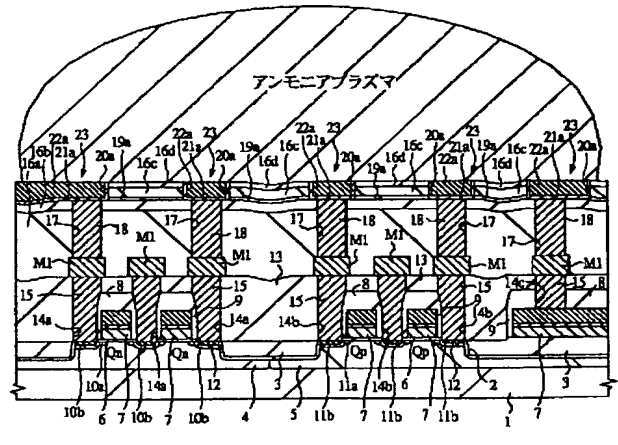
【図31】

図 31



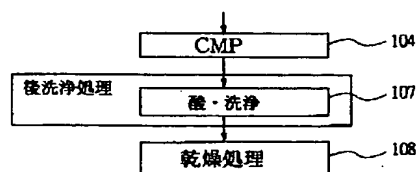
【図32】

図 32

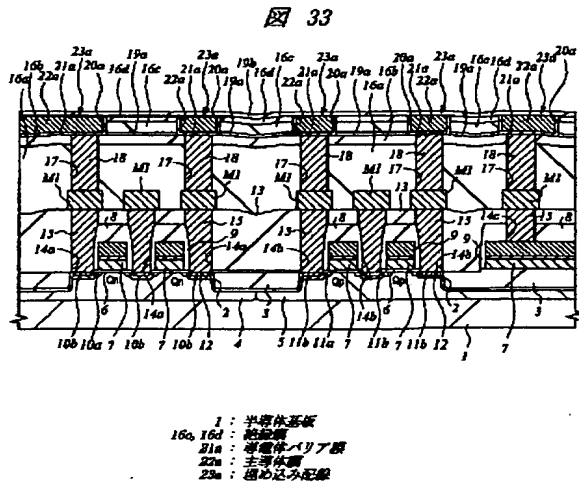


【図51】

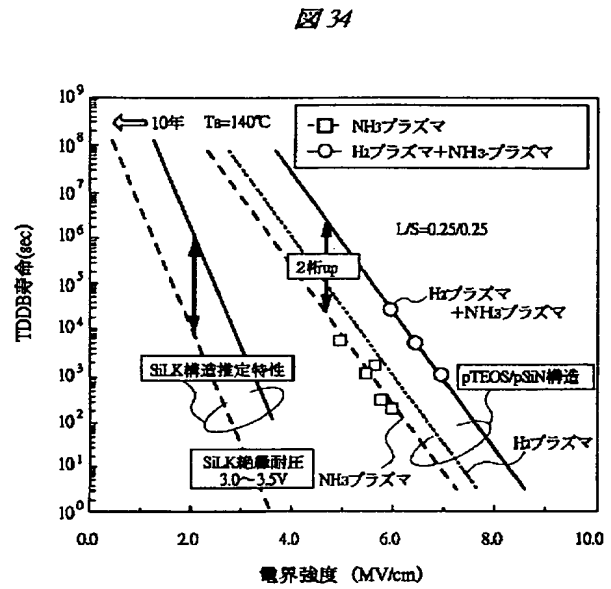
図 51



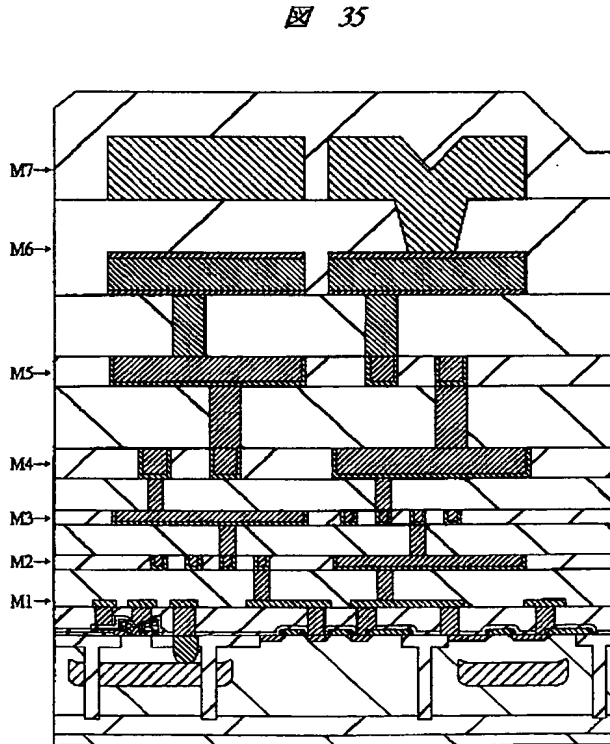
【図33】



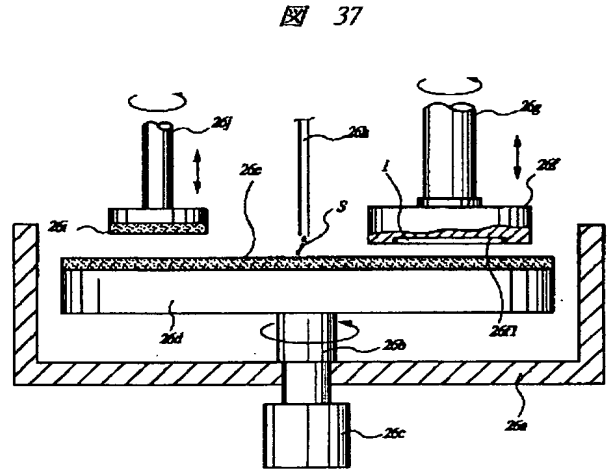
【図34】



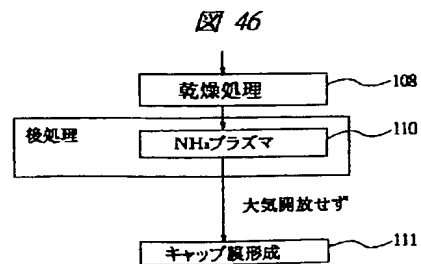
【図35】



【図37】

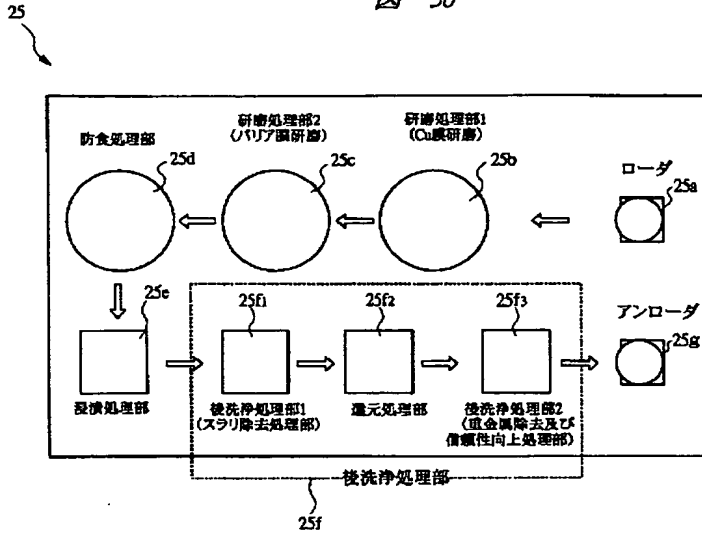


【図46】



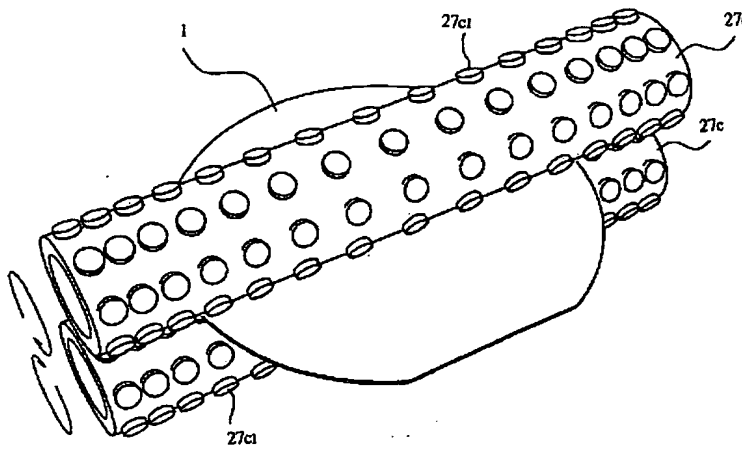
【図36】

図 36



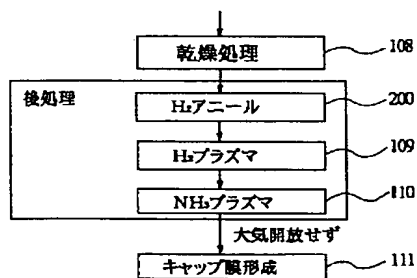
【図39】

図 39



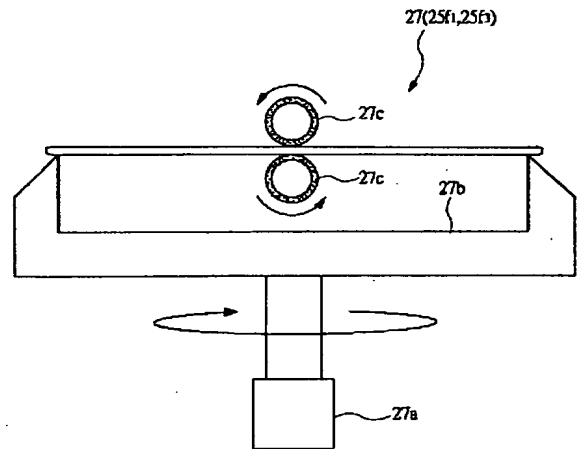
【図47】

図 47



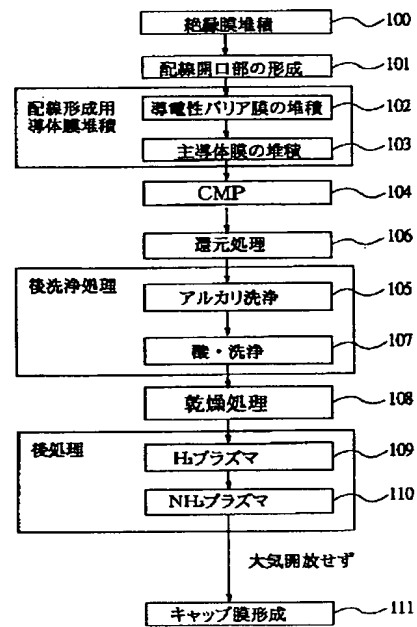
【図38】

図 38

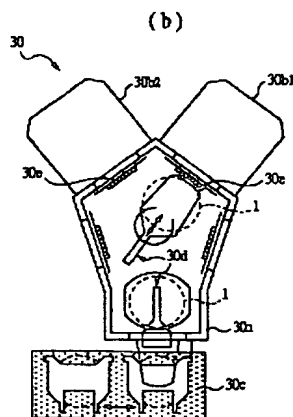


【図43】

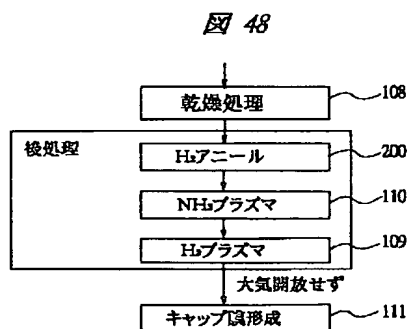
図 43



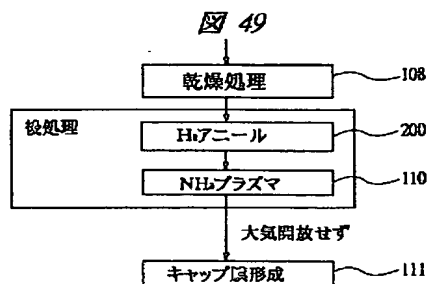
【图 4-4】



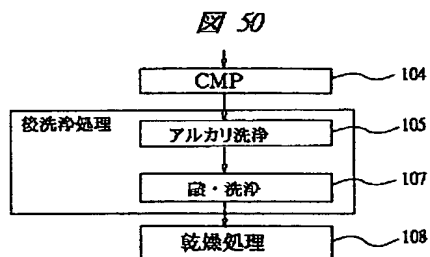
【図48】



【図 49】

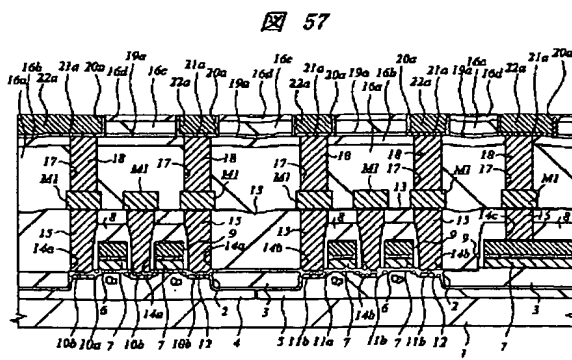
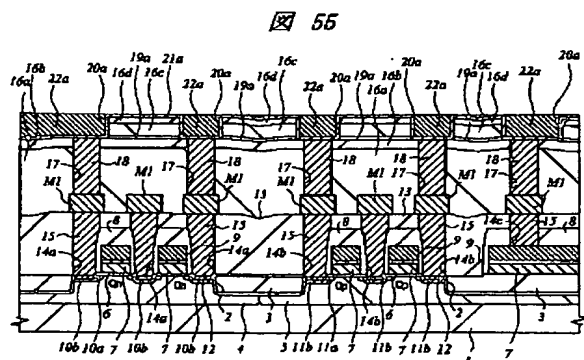


【図 50】

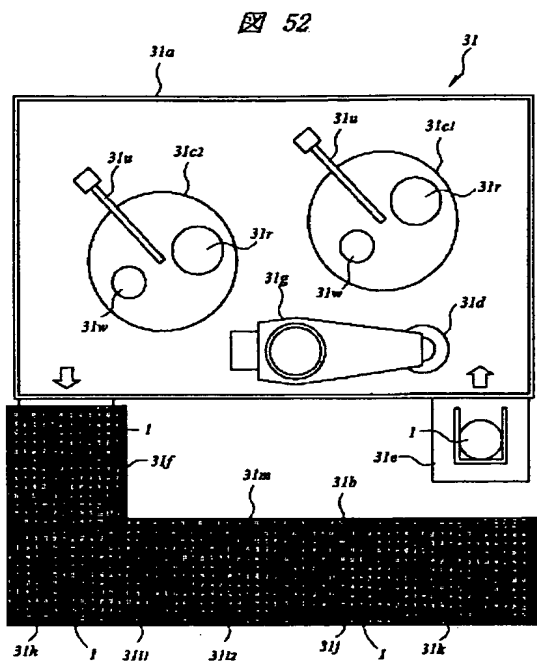


【图 5 5】

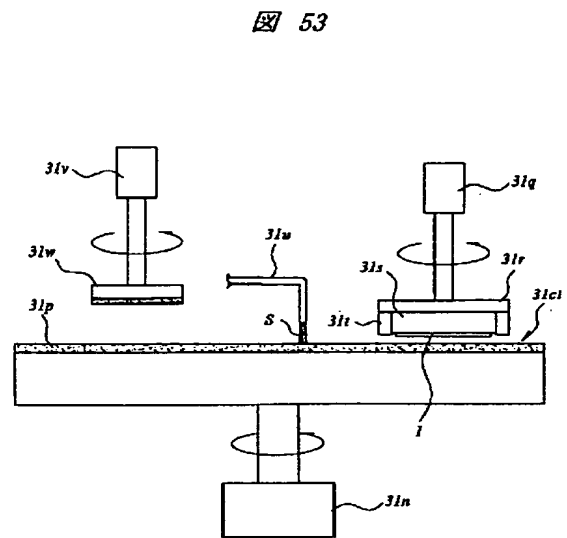
【图 5 7】



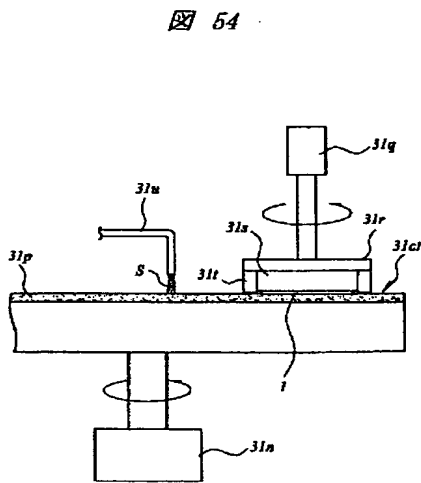
【図 52】



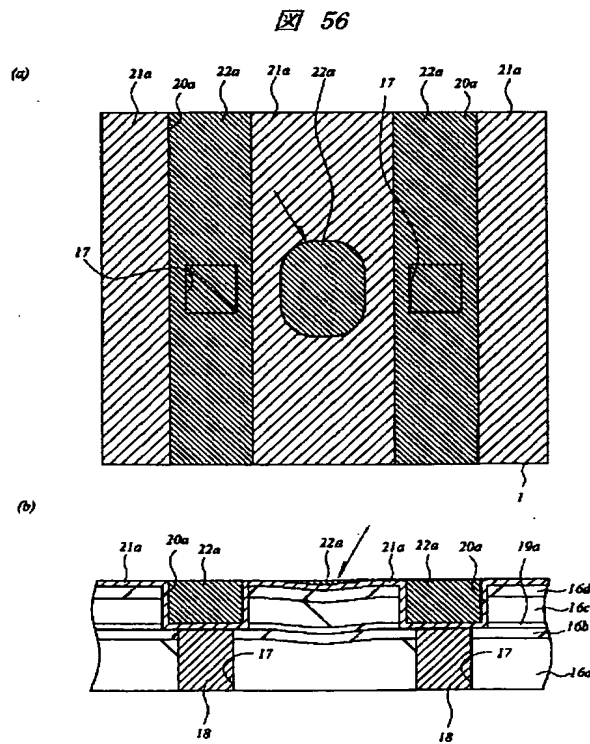
【図 53】



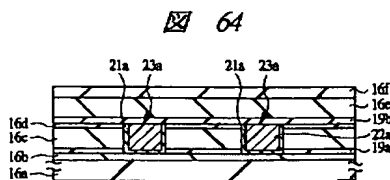
【図 54】



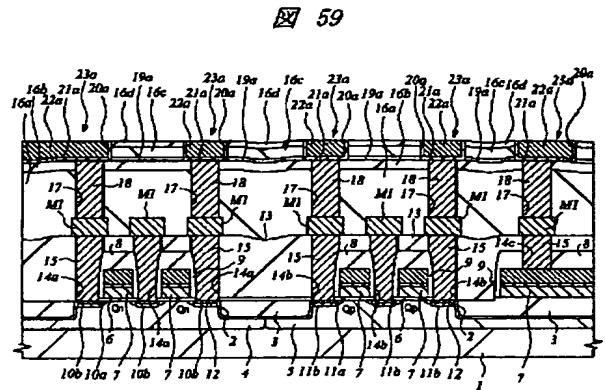
【図 56】



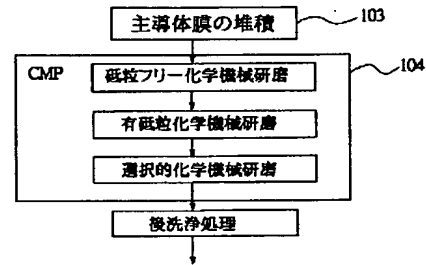
【図 64】



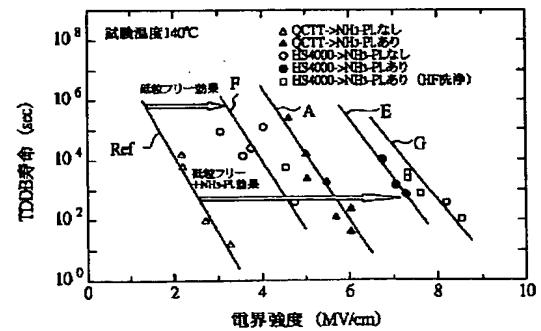
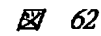
【図 5 9】



61

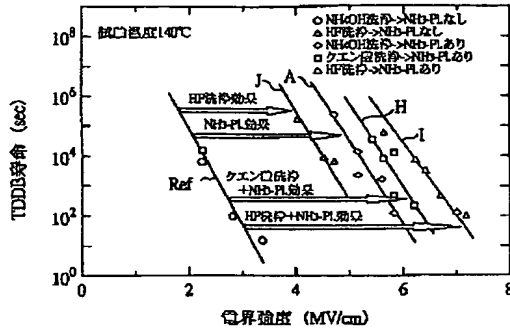


【図 6 2】



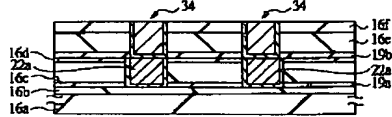
【図 63】

図 63



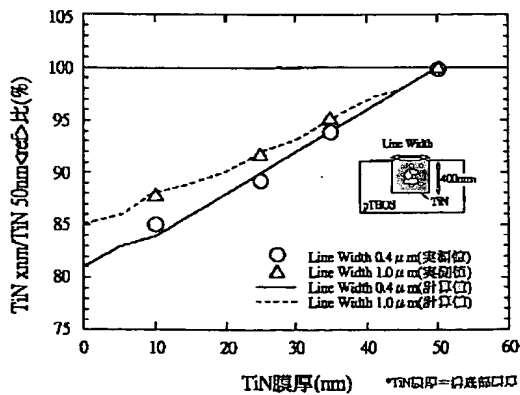
【図 66】

図 66



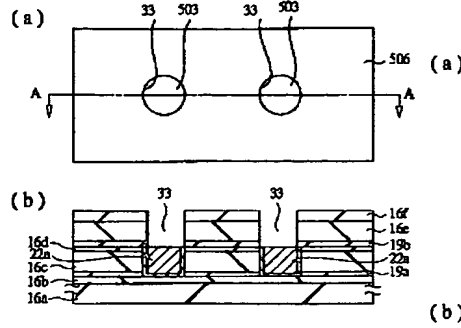
【図 68】

図 68



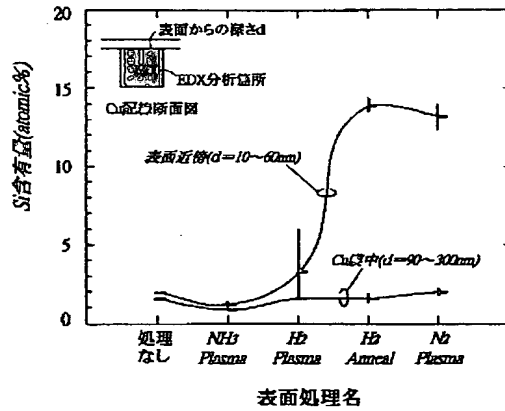
【図 65】

図 65



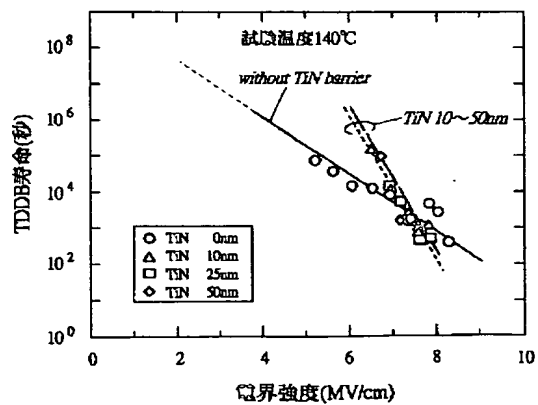
【図 67】

図 67

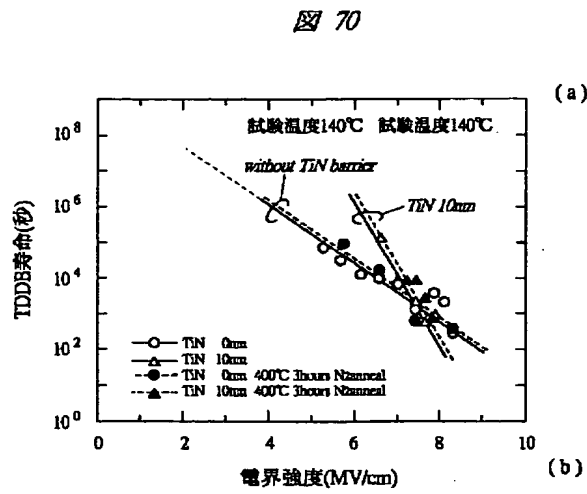


【図 69】

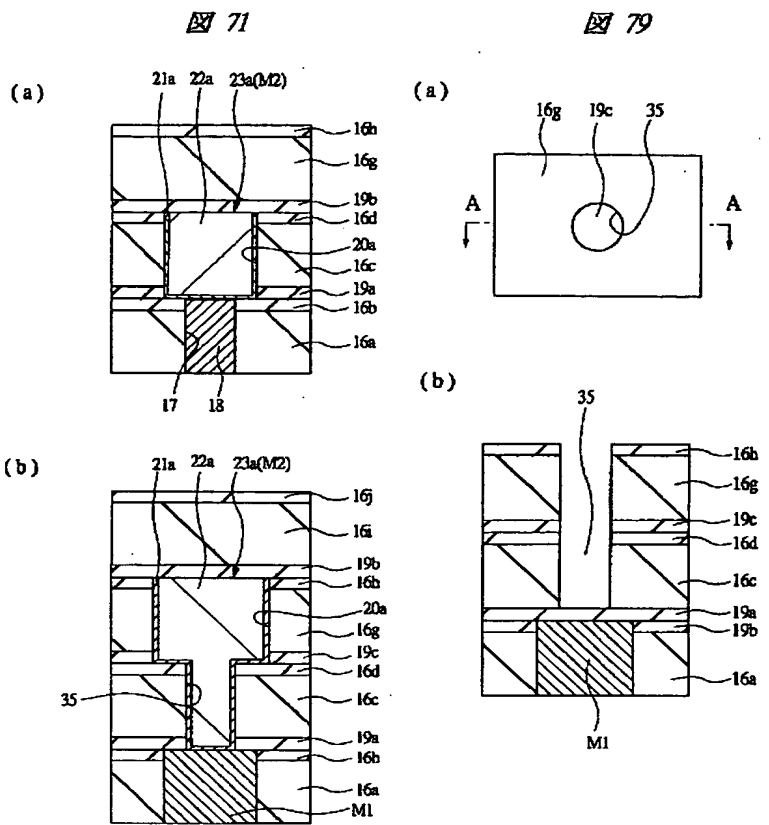
図 69



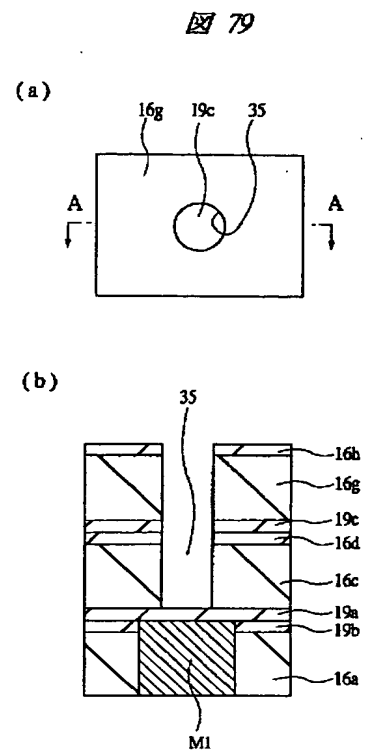
【図 70】



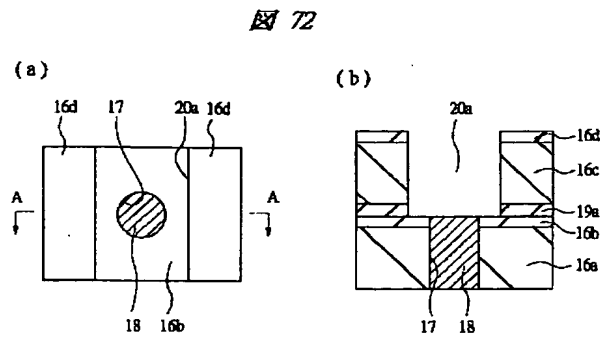
【図 71】



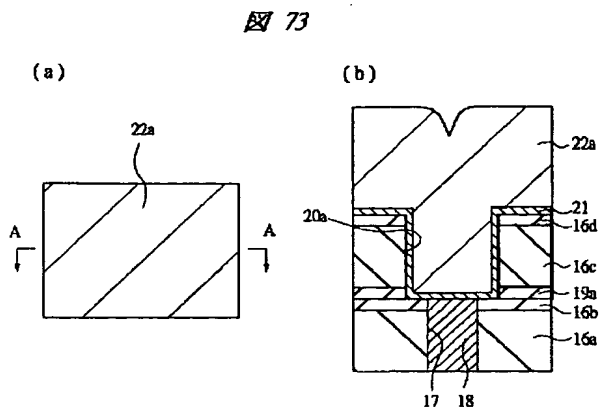
【図 79】



【図 72】

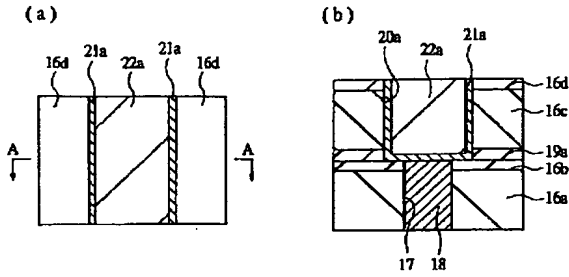


【図 73】



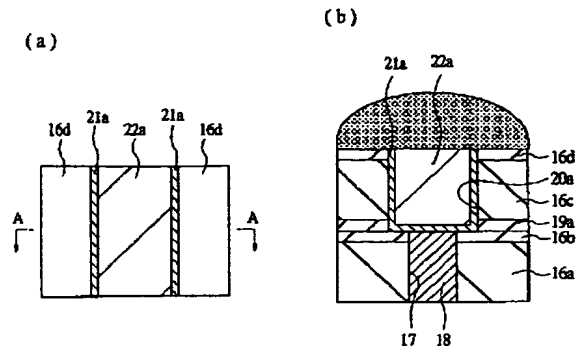
【図 74】

図 74



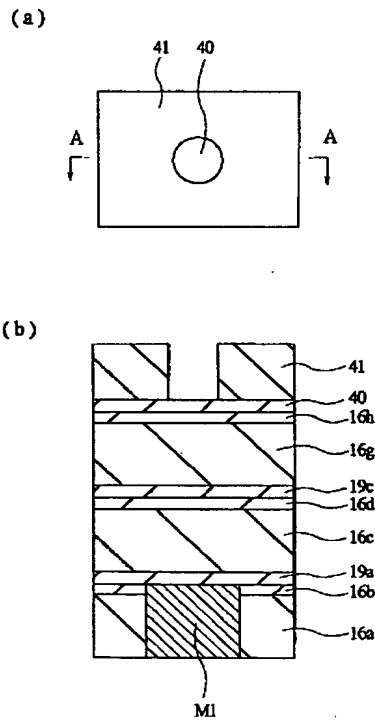
【図 75】

図 75



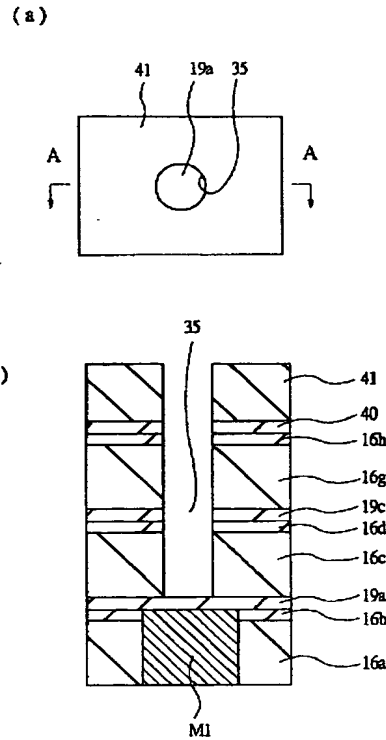
【図 77】

図 77



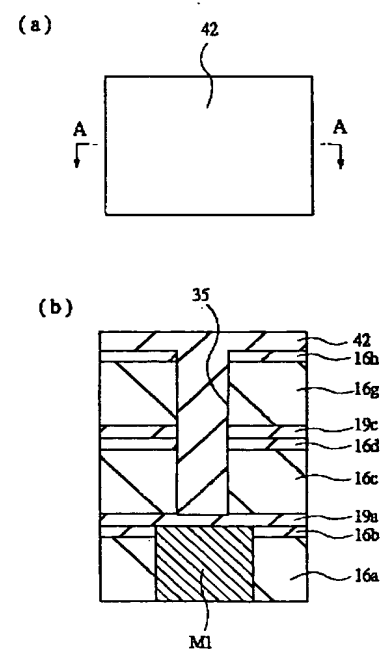
【図 78】

図 78



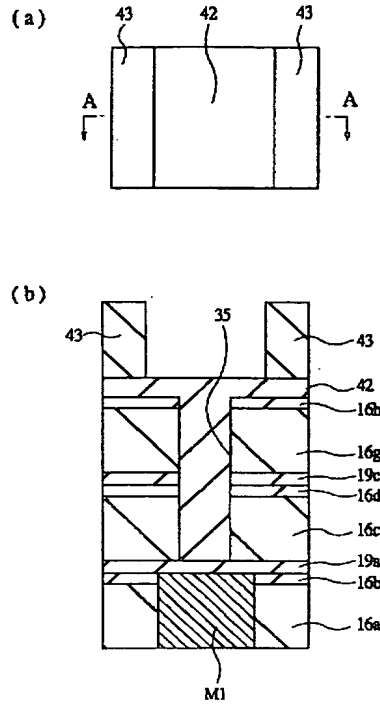
【図 80】

図 80



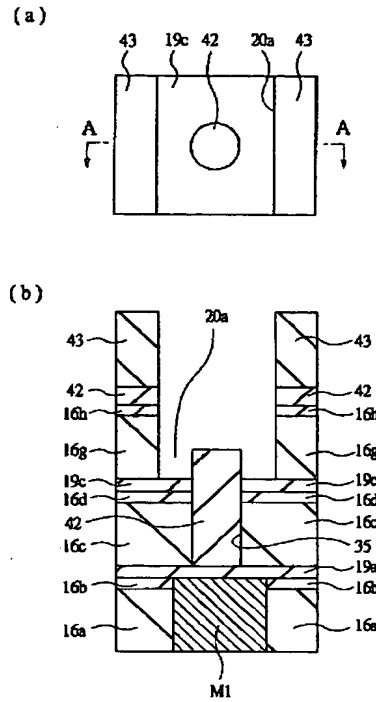
【図 81】

図 81



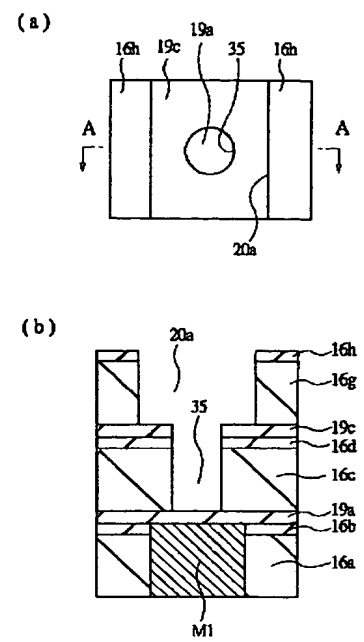
【図 82】

図 82



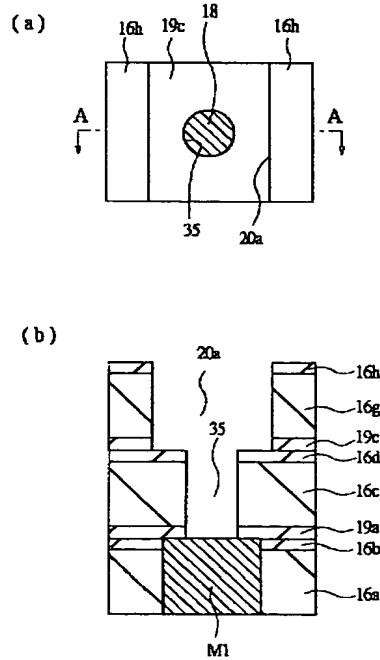
【図 83】

図 83



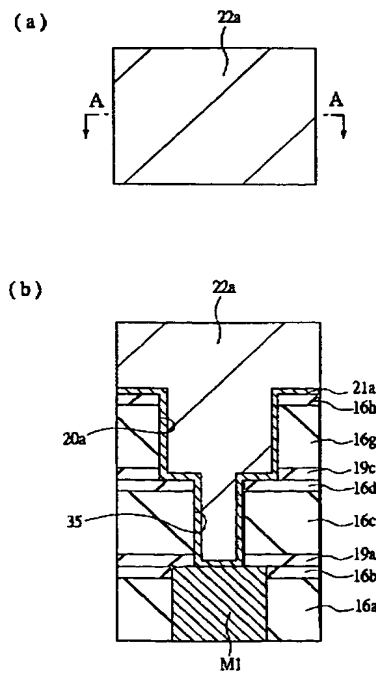
【図 84】

図 84



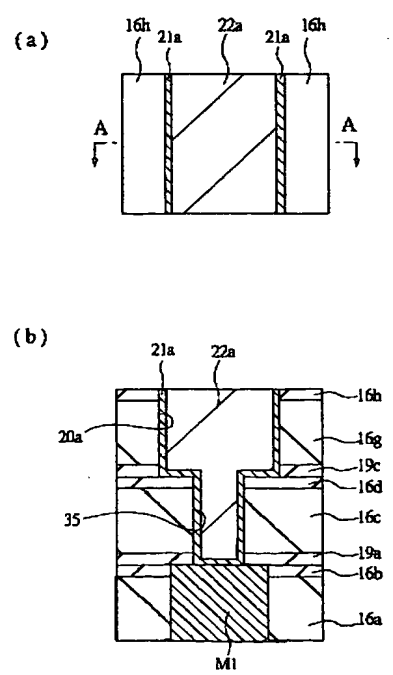
【図 85】

図 85



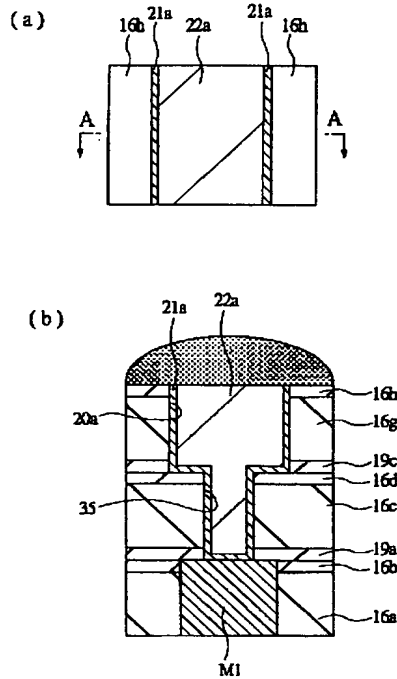
【図 86】

図 86



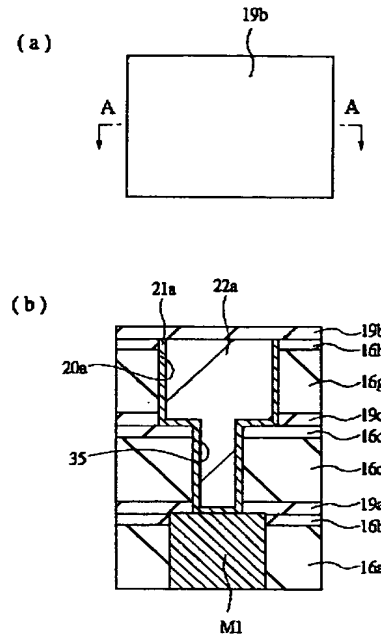
【図 87】

図 87



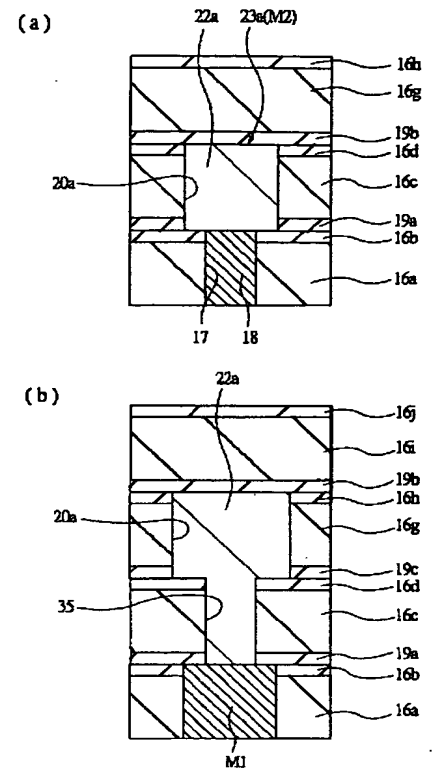
【図 88】

図 88



【図 89】

図 89



フロントページの続き

(51) Int. Cl.⁷H01L 21/8234
27/088

識別記号

F I

H01L 27/08

テーマコード(参考)

102D

(72) 発明者 小西 信博

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 大橋 直史

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 丸山 裕之

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

F ターム(参考) 5F033 HH04 HH08 HH11 HH18 HH19

HH21 HH23 HH25 HH28 HH32

HH33 HH34 JJ19 JJ33 KK01

KK19 KK25 KK27 MM01 MM02

MM07 MM12 MM13 NN06 NN07

PP06 PP15 PP21 PP22 PP27

PP28 PP33 QQ09 QQ10 QQ25

QQ31 QQ37 QQ48 QQ73 QQ75

QQ90 QQ91 QQ98 RR01 RR04

RR06 RR09 RR11 RR15 RR21

RR29 SS01 SS03 SS11 SS15

SS21 XX00 XX31

5F048 AC01 BA01 BB05 BB08 BB09

BB11 BC06 BE03 BF06 BF12

BG01 BG13 DA24